

(12)特許協力条約に基づいて公開された国際出願  
Rec'd PCT/P10 23 JAN 2005(19)世界知的所有権機関  
国際事務局(43)国際公開日  
2004年2月5日 (05.02.2004)

PCT

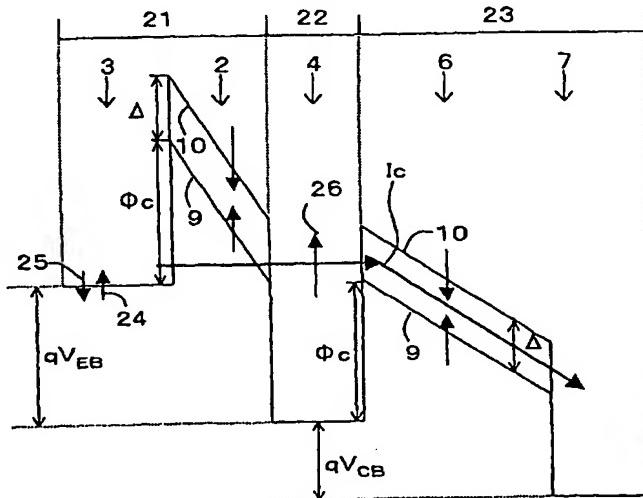
(10)国際公開番号  
WO 2004/012272 A1

- (51) 国際特許分類<sup>7</sup>: H01L 29/82, 43/08, 27/105
- (21) 国際出願番号: PCT/JP2003/009438
- (22) 国際出願日: 2003年7月25日 (25.07.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2002-217336 2002年7月25日 (25.07.2002) JP  
特願2003-86145 2003年3月26日 (26.03.2003) JP
- (71) 出願人(米国を除く全ての指定国について): 科学技術振興事業団 (JAPAN SCIENCE AND TECHNOLOGY CORPORATION) [JP/JP]; 〒332-0012 埼玉県川口市本町四丁目1番8号 Saitama (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 菅原聰 (SUGAHARA,Satoshi) [JP/JP]; 〒231-0821 神奈川県横浜市
- 浜市中区本牧原21-1-603 Kanagawa (JP). 田中 雅明 (TANAKA,Masaaki) [JP/JP]; 〒336-0921 埼玉県さいたま市緑区井沼方647-6-201 Saitama (JP).
- (74) 代理人: 平木祐輔, 外 (HIRAKI,Yusuke et al.); 〒105-0001 東京都港区虎ノ門一丁目17番1号 虎ノ門ヒルズビル3階 Tokyo (JP).
- (81) 指定国(国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国(広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,

[続葉有]

(54) Title: SPIN TRANSISTOR USING SPIN FILTER EFFECT AND NONVOLATILE MEMORY USING SPIN TRANSISTOR

(54) 発明の名称: スピンフィルタ効果を用いたスピントランジスタ及びスピントランジスタを用いた不揮発性メモリ



(57) Abstract: A spin transistor comprising a spin injector for injecting carriers, as hot carriers, having a spin parallel to the spin band constituting the band edge of a first ferromagnetic barrier layer from a first nonmagnetic electrode into a second nonmagnetic electrode layer and a spin analyzer for conducting, by the spin split at the band edge of a second ferromagnetic barrier layer, the hot carriers to a third nonmagnetic electrode when the direction of the spin of the spin-polarized hot carriers injected into the second nonmagnetic electrode is parallel to the direction of the spin of the spin band at the band edge of the second ferromagnetic barrier layer and not conducting the hot carriers to the third nonmagnetic electrode when the direction of the spin of the spin-polarized hot carriers is anti-parallel to the direction of the spin injected into the second magnetic electrode. A storage device using the spin transistor is also disclosed.

[続葉有]

WO 2004/012272 A1



GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR),  
OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,  
ML, MR, NE, SN, TD, TG).

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:  
— 国際調査報告書

---

(57) 要約:

第 1 の非磁性電極から第 1 の強磁性障壁層のバンド端を構成するスピンドルと平行なスピンドルを有するキャリアを第 2 の非磁性電極層へホットキャリアとして注入するスピンドルインジェクタと、第 2 の強磁性障壁層のバンド端におけるスピンドル分裂によって、前記第 2 の非磁性電極に注入されたスピンドル偏極ホットキャリアのスピンドルの向きと前記第 2 の強磁性障壁層のバンド端におけるスピンドルのスピンドルの向きが平行な場合には、前記ホットキャリアを第 3 の非磁性電極に伝導させ、反平行な場合には、前記ホットキャリアを前記第 3 の非磁性電極に伝導させないスピンドルアナライザとを有するスピンドルトランジスタ、及び該スピンドルトランジスタを用いた記憶素子を提供する。

## 明細書

スピニルタ効果を用いたスピントランジスタ及びスピントランジスタを用いた不揮発性メモリ

## 技術分野

本発明は、新規なトランジスタに関し、より詳細にはキャリアのスピニの向きに依存する出力特性を有するトランジスタ及びそれを用いた不揮発性記憶回路（不揮発性メモリ）に関する。

## 背景技術

従来、マイクロコンピュータに代表される電子機器に使用する半導体メモリとして、動作速度および集積度の観点からDRAM(Dynamical Random Access Memory)が主に用いられてきた。しかし、DRAMでは、記憶保持のためにエネルギーが消費されること、および電源を切った場合に記憶内容が失われるなどの問題点から、近年の省エネルギー化の要求やモバイル機器への対応は難しい。このような要求に応じるためには、高速・高集積度・低消費電力といった特徴に加え、新たに不揮発性といった特徴を合わせ持つ新規なメモリが必須となる。

MRAM(Magnetoresistive Random Access Memory)は、DRAMと同等の動作速度、集積度を実現するのみならず、不揮発といった特徴を有する次世代メモリとして注目を集めている。MRAMでは、強磁性体の磁化の向きによって情報を記憶し、この磁化の向きによる情報をスピナルブ素子における巨大磁気抵抗効果又は強磁性トンネル接合(MTJ: Magnetic Tunnel Junction)

el Junction)におけるトンネル磁気抵抗 (TMR : Tunnelling Magnetoresistance) 効果などにより電気的に読み出す。MRAMでは強磁性体を用いているためにエネルギーを消費することなく不揮発に情報を保持することができる。

第17図は、MTJを用いたMRAMの代表的なセル構成を示す図である。第17図(A)に示すように、MRAMは、1つのMTJと1つのMOS(Metal Oxide Semiconductor)トランジスタにより1ビットのメモリセルが構成される。MOSトランジスタのゲートを読み出し用ワード線に接続し、ソースを接地し、ドレインをMTJの一端に接続し、MTJの他端をビット線に接続する。

第17図(B)に示すように、MTJは、薄い絶縁膜を2つの強磁性電極で挟み込んだトンネル接合構造を有しており、2つの強磁性電極間の相対的な磁化の向きによってトンネル抵抗が異なるTMR効果を有する。特に、2つの強磁性電極間が平行磁化を持つ場合と、反平行磁化を持つ場合とのTMRの変化率をTMR比と呼び、TMR効果の評価に用いる。

MRAMではMTJの磁化状態、すなわち、2つの強磁性電極間の相対的な磁化の向きを、ビット線とこれに直交する書き換え用ワード線(図示せず)のそれぞれに流す電流により誘起される磁場の合成磁場によって平行磁化又は反平行磁化とすることによって情報を記憶する。

特定のセル内に記憶された記憶情報を読み出す場合には、セルに接続される特定の読み出し用ワード線に電圧を印加してMOSトランジスタを導通させ、セルに接続される特定のビット線からMTJに読み出し用の電流(以下、「駆動電流」と称する)を流し、TMR効果に基づくMTJの電圧降下を出力電圧として検出することにより記憶された情報を読み出す。

## 発明の開示

M T J を用いた M R A M は、強磁性体を用いていることから不揮発、低消費電力、高速といった特徴を有し、さらに、セル構造が簡単であることから高密度集積化に適している。M R A M は次世代不揮発性メモリとして期待されているが、これを実現するためには以下のようない解決しなければならない課題がある。

(1) M T J では平行磁化、反平行磁化の磁化状態に対応して 2 値の抵抗値を取る。M R A M では、M T J に駆動電流を流して出力電圧としてこの抵抗値を検出する。従って、高い出力電圧を得るためにには M T J の絶縁膜の厚さを調節してトンネル抵抗を最適化する必要がある。但し、T M R 比も絶縁膜の厚さに依存するため、トンネル抵抗の最適化に関して制限が加わる。

(2) さらに、正確に情報の記憶内容を読み出すためには、T M R 比を大きく取り、平行磁化と反平行磁化の 2 つの磁化状態間における出力電圧の比を大きくする必要がある。高い T M R 比を実現するためには、スピニ分極率の大きな強磁性体を用い、絶縁層の形成方法、材料、膜厚等の最適化が必要である。

(3) M T J を用いた M R A M では、動作速度を上げるために、M T J に加えるバイアスを大きくする必要がある。しかし、M T J には、強磁性電極間に生じる電圧降下が大きくなると T M R 比が減少するという原理的に避けられない問題がある。すなわち、T M R による出力電圧の変化率は M T J に生じる電圧降下が大きくなるにしたがって小さくなる。この現象は、T M R 効果そのものに基因しており、T M R 効果のみによって磁化の状態を読み出す限り避けるのは難しい。

以上の課題をまとめると、M T J では記憶された情報を高感度に検出

するためには、MTJのインピーダンス（接合抵抗）を調節して出力電圧の大きさを最適化する必要があり、さらに、TMR比を大きく取り、平行磁化と反平行磁化の2つの磁化状態間における出力信号の比を大きくする必要がある。また、バイアスによってTMR比が減少しないようTMR比の耐バイアスが必要となる。

従って、記憶素子の特性に関係なく、出力信号を記憶素子以外の周辺回路によって自由に設計することができれば、上記課題はすべて解決することができる。

本発明は、トランジスタ内に含まれる強磁性体に磁化状態によって情報を記憶し、キャリアの спинの向きに依存するトランジスタの出力特性を用いて情報を読み出す不揮発性メモリを提供することを目的とする。

本発明の一観点によれば、スピニンジェクタ効果によってスピニン偏極ホットキャリアを注入するスピニンジェクタと、この注入された前記スピニン偏極ホットキャリアをスピニンフィルタ効果によって選別するスピニアライザと、を有することを特徴とするトランジスタが提供される。従って、スピニン偏極ホットキャリアのスピニンの向きによりトランジスタの出力特性を制御することができる。

前記スピニンジェクタは、第1の強磁性障壁層と、この第1の強磁性障壁層の一端面に接合した第1の非磁性電極層と、上記第1の強磁性障壁層の他端面に接合した第2の非磁性電極層とを有することが好ましい。

前記スピニアライザは、第2の強磁性障壁層と、この第2の強磁性障壁層の一端面に接合した前記第2の非磁性電極層と、上記第2の強磁性障壁層の他端面に接合した第3の非磁性電極層とを有しており、かつ、前記スピニンジェクタと前記第2の非磁性電極層を共通にしていることが好ましい。

第1及び第2の強磁性障壁層は、絶縁性の強磁性半導体又は強磁性絶縁体を含んで構成され、これら強磁性障壁層のエネルギーバンド端はスピニ分裂によってアップスピンバンドまたはダウンスピンバンドのいずれか一方によって構成されることが好ましい。前記第2の非磁性電極層の厚さは、該第2の非磁性電極層におけるスピニ偏極ホットキャリアの平均自由行程以下の厚さであることが好ましい。

前記スピニインジェクタは、前記第1の強磁性障壁層のバンド端を構成するスピニバンドと平行なスピニを有するキャリアに対して、トンネル確率が大きく、反平行のスピニを有するキャリアに対してトンネル確率が小さい。従って、前記第1の非磁性電極から前記第1の強磁性障壁層のバンド端を構成するスピニバンドと平行なスピニを有するキャリアを前記第2の非磁性電極層へホットキャリアとして注入することができる。

一方、前記スピニアライザは、前記第2の強磁性障壁層のバンド端におけるスピニ分裂によって、前記第2の非磁性電極に注入された前記スピニ偏極ホットキャリアのスピニの向きと前記第2の強磁性障壁層のバンド端におけるスピニバンドのスピニの向きとが平行の場合に、前記スピニ偏極ホットキャリアを前記第3の非磁性電極層に伝導させるが、前記スピニ偏極ホットキャリアと前記第2の強磁性障壁層のバンド端におけるスピニバンドのスピニの向きが反平行の場合には、前記スピニ偏極ホットキャリアを前記第3の強磁性電極に伝導させない。

従って、同一のバイアス下にあっても前記トランジスタの出力特性は前記第1の強磁性障壁層と前記第2の強磁性障壁層の相対的な磁化の向きに依存し、第1の強磁性障壁層と第2の強磁性障壁層が平行磁化を持つ場合には電流伝送率または電流増幅率が大きく、反平行磁化の場合では電流伝送率または電流増幅率は小さい。

また、前記第1の強磁性障壁層に対する前記第2の強磁性障壁層の相対的な磁化の向きによって情報を記憶し、この磁化状態に依存する上記トランジスタの前記出力特性によって情報を読み出す不揮発性記憶回路が提供される。この記憶回路では上記トランジスタ単体でメモリセルを構成することができる。

本発明の他の観点によれば、強磁性体を含み、キャリアのスピンの向きに依存する出力特性を有するスピントランジスタを用いて、前記強磁性体の磁化方向によって情報を記憶する手段と、前記出力特性から前記スピントランジスタ内に記憶された情報を電気的に読み出す手段とを有することを特徴とする不揮発性記憶回路が提供される。

前記スピントランジスタは、磁化の向きを独立に制御できる強磁性体（以下、「フリー層」と称する）、磁化の向きを変化させない強磁性体（以下、「ピン層」と称する）を少なくとも1つずつ有しており、前記フリー層の磁化の向きと前記ピン層の磁化の向きとが同じである第1の状態と、磁化の向きが異なる第2の状態とを記憶情報として保持することが好ましい。

前記スピントランジスタは、スピン偏極キャリアを注入する第1の電極構造及び前記スピン偏極キャリアを受け入れる第2の電極構造と、前記第1の電極構造から前記第2の電極構造へ伝導するスピン偏極キャリアの量を制御する第3の電極構造とを備えており、前記ピン層と前記フリー層とは前記第1から第3までの電極構造のいずれかに含まれていることが好ましい。

マトリックス状に配置された上記スピントランジスタと、前記第3の電極構造に接続されるワード線と、前記第1の電極構造を接地する第1の配線と、前記第2の電極構造に接続されるビット線とを有する記憶回路が提供される。複数本のワード線が列方向に延在し、これと交差する

方向（行方向）に複数本のビット線が延在する。ワード線とビット線との交点の近傍に上記スピントランジスタが配置される。

上記記憶回路では、前記スピントランジスタ上で互いに電気的に絶縁された状態で交差する第1の別配線及び第2の別配線とに電流を流すことにより誘起される磁場により、前記フリー層の磁化を反転させ、前記フリー層と前記ピン層との間の相対的な磁化状態を変化させ情報を記憶する（又は書き換える）ことができる。

前記第1の別配線および前記第2の別配線、又は、前記第1の別配線又は前記第2の別配線のいずれか一方に代えて、前記ワード線および前記ビット線、又は、前記ワード線又は前記ビット線のいずれか一方を用いることも可能である。

上記記憶回路では、前記スピントランジスタ内に含まれる前記フリー層と前記ピン層とが平行磁化を持つ場合における、前記スピントランジスタにおける出力特性に基づき、情報の読み出しを行うことができる。

さらに、上記記憶回路において、それぞれのビット線の一端に出力端子が形成され、それぞれのビット線から分岐し負荷を介して電源に接続する第2の配線が設けられた記憶回路が提供される。

この場合では、前記フリー層と前記ピン層との相対的な磁化状態に依存する前記スピントランジスタの前記第1と第2の電極構造間に生じる電流による前記負荷の電圧降下に基づいて得られる出力電圧により、情報の読み出しを行うことができる。

上記回路を用いれば、トランジスタ内の磁化状態に応じた出力電圧を負荷と電源により設計できる高集積密度で高速な不揮発性記憶回路を提供できる。

#### 図面の簡単な説明

第1図は、本実施の形態によるスピニルタトランジスタの構成を示す図であり、第1図（A）は模式的な断面図であり、第1図（B）は、第1図（A）に示す構成の伝導バンド（または価電子バンド）のエネルギー bandwidth 図であり、障壁層におけるスピンドルのスピンの向きを併せて示した図である。

第2図は、本実施の形態によるスピニルタトランジスタのエミッタ（第1の非磁性電極層）、ベース（第2の非磁性電極層）、コレクタ（第3の非磁性電極層）間にベース接地バイアス電圧を加えた場合のエネルギー bandwidth 図であり、第2図（A）は第1及び第2の強磁性障壁層の磁化の向きが互いに平行な場合、第2図（B）は第1及び第2の強磁性障壁層の磁化の向きが互いに反平行な場合である。

第3図は、本実施の形態によるスピニルタトランジスタのベース接地における静特性を示す図である。横軸は、図面上右方向にコレクターベース電圧  $V_{CB}$ 、左方向にエミッターベース電圧  $V_{EB}$  を示し、縦軸は、エミッタ電流  $I_E$ 、ベース電流  $I_B$ 、コレクタ電流  $I_C$  を示している。第3図（A）は、エミッタとコレクタの強磁性障壁層間の磁化状態が平行磁化の場合の特性を、第3図（B）は、反平行磁化の場合の特性を示している。

第4図（A）は、本実施の形態によるスピニルタトランジスタ1を用いたメモリセルの一構成例を示す図である。第4図（B）はメモリ回路の一構成例を示す図である。第4図（C）の縦軸はコレクタ電流  $I_C$ 、横軸はコレクターエミッタ間電圧  $V_{CE}$  を表し、スピニルタトランジスタ1の  $I_C - V_{CE}$  特性と、負荷抵抗による負荷直線を同一の図の上に示したものである。

第5図（A）は、電流駆動型スピントランジスタの出力特性の例を模式的に示す図であり、第5図（B）は、電圧駆動型スピントランジスタの

出力特性の例を模式的に示す図である。

第6図（A）は、本実施の形態による電圧駆動型スピントランジスタを用いたメモリセルの一構成例を示す図である。第6図（B）はメモリ回路の一構成例を示す図である。第6図（C）の縦軸はドレイン電流  $I_D$ 、横軸はドレイン-ソース間電圧  $V_{DS}$  を表し、電圧駆動型スピントランジスタ 150 の  $I_D - V_{DS}$  特性と、能動負荷による負荷曲線を同一の図の上に示したものである。

第7図は、ホットエレクトロントランジスタ型のスピントランジスタの構成例を示すエネルギーバンド図である。

第8図は、熱放出注入を用いたホットエレクトロントランジスタ型のスピントランジスタの構成例を示すエネルギーバンド図である。

第9図は、スピニルフィルタ効果を用いたホットエレクトロントランジスタ型のスピントランジスタの構成例を示すエネルギーバンド図である。

第10図は、トンネルベーストランジスタ型のスピントランジスタの構成例を示すエネルギーバンド図である。

第11図は、MOSトランジスタ型のスピントランジスタの構成例を示す断面構造図である。

第12図は、変調ドープトランジスタ型のスピントランジスタの構成例を示す断面構造図である。

第13図は、強磁性半導体チャネルを有するMOSトランジスタ型のスピントランジスタの構成例を示す断面構造図である。

第14図は、強磁性ソースと強磁性ドレインとの間に設けられた非磁性絶縁性トンネル障壁に対して、ゲート絶縁膜とゲート電極を設けた構成を有するスピントランジスタの構成例を示す断面構造図である。

第15図は、強磁性ソースと強磁性ドレインまたは非磁性ドレインとの間に設けられた絶縁性強磁性トンネル障壁に対して、ゲート絶縁膜と

ゲート電極を設けた構成を有するスピントランジスタの構成例を示す断面構造図である。

第16図（A）は共通ソース構成を有するメモリセルの構成例を示す図である。

第16図（B）は、共通ソース構成を有するメモリセルの断面構造例を示す図である。

第17図（A）は、MTJを用いた一般的なMRAMの構成を示す図であり、第17図（B）は、MTJの動作原理を示す図である。

#### 発明を実施するための最良の形態

本発明に係るトランジスタは、特定の спинの向きを有するスピントラニジスタを注入するスピインジェクタと、この注入されたスピントラニジスタを、そのスピントラニジスタの向きに応じて選別するスピアナライザとを有している。スピインジェクタは、Fowler-Nordheimトンネル又はダイレクトトンネル等のトンネル効果が可能な厚さを有する第1の強磁性障壁層と、第1の強磁性障壁層の一端面に接合した第1の非磁性電極層と、第1の強磁性障壁層の他端面に接合した第2の非磁性電極層とを有している。スピアナライザは、第2の強磁性障壁層と、第2の強磁性障壁層の一端面に接合した第2の非磁性電極層と、第2の強磁性障壁層の他端面に接合した第3の非磁性電極層とを有しており、スピインジェクタと第2の非磁性電極層とが共通になっている。第2の非磁性電極層の厚さは、この非磁性電極層におけるスピントラニジスタの平均自由行程以下の厚さであることが好ましい。

すなわち、上記構成を、公知のホットエレクトロントランジスタの構成と比較すると、第1の非磁性電極層と第1の強磁性障壁層とがエミッ

タ及びエミッタ障壁に対応し、第2の非磁性電極層がベースに対応し、第2の強磁性障壁層と第3の非磁性電極層とがコレクタ障壁とコレクタに対応する。

第1及び第2の強磁性障壁層は、絶縁性の強磁性半導体又は強磁性絶縁体を含んで構成される。これらの強磁性障壁層のエネルギー-bandは、磁気的な交換相互作用によりスピントリップル分裂しており、バンド端ではこのスピントリップルによってアップスピントリップルのみ、あるいはダウンスピントリップルのみが存在する。また、一方のスピントリップルのみが存在するエネルギー一幅をスピントリップル幅と呼ぶ。

スピントリップル効果においては、第1の強磁性障壁層に第1の非磁性電極層と第2の非磁性電極層とを介して電圧を印加して生じさせる Fowler-Nordheim (FN) トンネル又はダイレクトトンネル等のトンネル効果において、第1の非磁性電極層のキャリアのうち第1の強磁性障壁層のバンド端におけるスピントリップルのスピントリップルの向きに一致したスピントリップルの向き（キャリアが電子の場合では、第1の強磁性障壁層の磁化と反平行となるスピントリップルの向きを、キャリアが正孔の場合では、第1の強磁性障壁層の磁化と平行となるスピントリップルの向きを指す。）を有するキャリアのトンネル確率が大きく、一致しないスピントリップルの向き（キャリアが電子の場合では、第1の強磁性障壁層の磁化と平行となるスピントリップルの向きを、キャリアが正孔の場合では、第1の強磁性障壁層の磁化と反平行となるスピントリップルの向きを指す。）を有するキャリアのトンネル確率が小さいことを利用している。

スピントリップル分析器のスピントリップル効果は、第2の強磁性障壁層のスピントリップルしたバンドにスピントリップル効果からスピントリップル偏極ホットキャリアを注入する場合において、注入されたスピントリップル偏極ホットキャリアのスピントリップルの向きと第2の強磁性障壁層のバンド端におけるスピントリップルのス

ピンの向きとが平行の場合(第1と第2の強磁性障壁層が平行磁化)に、スピニ偏極ホットキャリアは第2の強磁性層のスピニバンド内を伝導して第3の非磁性電極層に到達するが、スピニ偏極ホットキャリアと第2の強磁性障壁層のバンド端におけるスピニバンドのスピニの向きが反平行の場合(第1と第2の強磁性障壁層が反平行磁化)には、スピニ偏極ホットキャリアは第2の強磁性障壁層を伝導することができないことを利用する。

上記構成によれば、第1の強磁性障壁層のバンド端におけるスピニバンドのスピニの向きと平行なスピニの向きを有する第1の非磁性電極層内のキャリアがFowler-Nordheimトンネルやダイレクトトンネル等のトンネル効果によって第2の非磁性電極層にスピニ偏極ホットキャリアとして注入される。このとき、注入されたスピニ偏極ホットキャリアのエネルギーが、第2の強磁性障壁層のバンド端におけるスピニバンド端のエネルギーより大きく、スピニバンド端にスピニ分裂幅を加えたエネルギーよりも小さくなるように上記トランジスタをバイアスしておく。第2の非磁性電極層の厚さは、第2の非磁性電極層内におけるスピニ偏極ホットキャリアの平均自由行程以下の厚さであるから、注入されたスピニ偏極ホットキャリアは、エネルギーを失うことなく、第2の強磁性障壁層に到達する。加えて、スピニ偏極ホットキャリアのエネルギーは、第2の強磁性障壁層のバンド端におけるスピニバンド端のエネルギーより大きく、このスピニバンド端にスピニ分裂幅を加えたエネルギーよりも小さいエネルギーを有するため、注入されたスピニ偏極ホットキャリアのスピニの向きが第2の強磁性障壁層のバンド端におけるスピニバンドのスピニの向きと平行である場合には、スピニ偏極ホットキャリアは第2の強磁性障壁層内に発生している電界によって、このスピニバンド内を伝導し、第3の非磁性電極層に輸送され、第3の非

磁性電極層と第1の非磁性電極層の間に流れる電流となる。

一方、注入された спин偏極ホットキャリアのスピニの向きが第2の強磁性障壁層のバンド端におけるスピニバンドのスピニの向きと反平行である場合には、スピニ偏極ホットキャリアは第2の非磁性電極層と第2の強磁性障壁層の界面で散乱(または反射)され、第2の非磁性電極層と第1の非磁性電極層との間に流れる電流となる。

このように、第1の強磁性障壁層と第2の強磁性障壁層との相対的な磁化の向きが平行か反平行かによって、第1の強磁性障壁層を流れる電流を、第2の強磁性障壁層を介し、第3の非磁性電極層と第1の非磁性電極層の間に流れる電流に、または、第2の非磁性電極層と第1の非磁性電極層との間に流れる電流に切り替えることができる。すなわち、第1の強磁性障壁層と第2の強磁性障壁層の相対的な磁化の向きによって、第2の強磁性障壁層を介して流れる電流を制御することができる。周知のベース接地、または、エミッタ接地のホットエレクトロントランジスタやバイポーラトランジスタの動作と対比させれば、コレクタ電流をベース電流によって制御することに対応するが、本実施の形態によるトランジスタでは、ベース電流によるコレクタ電流の電流増幅率を第1の強磁性障壁層と第2の強磁性障壁層との相対的な磁化の向きによって制御することができる。すなわち、本実施の形態によるトランジスタは、電流増幅率を制御できるトランジスタであり、ベース電流(または第1及び第2の非磁性電極間のバイアス電圧)のみならず、第1の強磁性障壁層と第2の強磁性障壁層の相対的な磁化の向きによってもコレクタ電流を制御することができる。

また、第1の強磁性障壁層と第2の強磁性障壁層の保磁力を変えておくか、一方の磁化の向きを固定しておけば、第1の強磁性障壁層と第2の強磁性障壁層のうちのいずれか一方の磁化の向きが反転する適切な強

度の磁場を印加することによって、第1の強磁性障壁層と第2の強磁性障壁層との相対的な磁化の向きを平行または反平行のいずれかに任意に変更できる。すなわち、トランジスタ内に情報を記憶させることができる。

従って、上記トランジスタを用いてメモリセルを構成することができる。本実施の形態によるトランジスタを用いた不揮発性メモリの一例について以下に説明する。本実施の形態によるトランジスタの第2の非磁性電極層をワード線に接続し、トランジスタの第3の非磁性電極層をビット線に接続し、負荷を介してビット線を電源に接続し、トランジスタの第1の非磁性電極層を接地する。この構成によれば、特定のワード線を選択して第2の非磁性電極層にバイアスを加え、特定のビット線を選択して出力電圧（第3の非磁性電極端に生じる電圧）を検出すれば、出力電圧は、トランジスタの第1の強磁性障壁層と第2の強磁性障壁層の相対的な磁化の向きに応じて変化する。すなわち、相対的な磁化の向きが平行の場合には、出力電圧が小さくなり、相対的な磁化の向きが反平行の場合には出力電圧が大きくなる。従って、記憶された情報を、出力電圧の大小により読み出すことができる。

上記不揮発性メモリは、本実施の形態によるトランジスタをエミッタ接地トランジスタとして使用し、コレクタに電源と負荷を付加し、コレクタ電圧を出力電圧とするから、電源電圧と負荷といった周辺回路によって第1と第2の強磁性障壁層が平行磁化である場合の出力電圧と、反平行磁化である場合の出力電圧を所望の値に設計できる。従って、上記不揮発性メモリを用いれば、MTJを用いたMRAMにおける、トンネル抵抗が小さく出力電圧が小さいという問題点並びにTMR比が小さく記憶情報を判別しにくいという問題点、さらに、印加バイアスによって出力電圧の比が小さくなるという問題点を解決することができる。

以下、上記トランジスタの構成及び動作について図面に参照しつつ詳細に説明する。尚、以下の説明を分かりやすくするため、本実施の形態によるトランジスタをスピニフィルタトランジスタと称する。

第1図は、本実施の形態によるスピニフィルタトランジスタの構成を示す図であり、第1図(A)は模式的な断面図であり、第1図(B)は、第1図(A)に示す構成の伝導バンド(又は価電子バンド)のエネルギーーバンド図であり、障壁層におけるスピンドルのスピンドルの向きを併せて示した図である。但し、キャリアが正孔であればバンド端におけるスピンドルの向きと磁化の向きは一致するが、キャリアが電子であればバンド端におけるスピンドルの向きと磁化の向きは逆向きとなる。

本実施の形態によるスピニフィルタトランジスタ1は、第1の強磁性障壁層2と、第1の強磁性障壁層2の一端面に接合した第1の非磁性電極層3と、第1の強磁性障壁層2の他端面に接合した第2の非磁性電極層4とを有して構成されるスピニンジェクタ5と、第2の強磁性障壁層6と、第2の強磁性障壁層6の一端面に接合した第2の非磁性電極層4と、第2の強磁性障壁層6の他端面に接合した第3の非磁性電極層7とを有して構成されるスピニアライザ8と、を有して構成されている。第1図(A)から明らかなように、スピニンジェクタ5とスピニアライザ8とは、第2の非磁性電極層4を共通にしている。

第1、第2及び第3の非磁性電極層3、4及び7として、非磁性金属、n型非磁性半導体又はp型の非磁性半導体を用いることができる。また、第2の非磁性電極層4の厚さは、スピニンジェクタから注入されたスピンドルホットキャリアの非磁性電極層4内における平均自由行程以下にすることが好ましい。平均自由行程よりもベース幅を短くすることにより、電流伝送率を0.5以上にすることが可能となり、電流増幅作用を得ることができる。

第1及び第2の強磁性障壁層2、6としては、絶縁性の強磁性半導体又は強磁性絶縁体を用いることができる。強磁性障壁層のエネルギーバンドは、磁気的な交換相互作用によりスピントリ分割しており、バンド端では、アップスピンのみ、あるいはダウンスピンのみが存在するエネルギー領域ができる。このスピントリ分割したバンドはスピントリバンドと呼ばれ、また、このエネルギー領域幅をスピントリ分割幅 $\Delta$ と呼ぶ。

第1図(B)に示すように、強磁性障壁層2、6に矢印↑を付して示した実線は、アップスピンの存在できるバンドの端部、すなわち、アップスピンバンド端9であり、一方、矢印↓を付して示した実線は、ダウンスピンの存在できるバンドの端部、すなわち、ダウンスピンバンド端10である。第1図(B)におけるアップスピンバンド端9とダウンスピンバンド端10との間は、アップスピンのみが存在できる領域である。また、ダウンスピンバンド端10よりも高いエネルギーを有する領域は、アップスピンとダウンスピンとの両方が存在できる領域である。第1図(B)は、アップスピンのスピントリバンドがダウンスピンのスピントリバンドよりも低い場合を例示しているが、これとは逆の状態も可能である。

第1の強磁性障壁層2は、第1の非磁性電極層3と第2の非磁性電極層4とに印加する電圧によって、Fowler-Nordheimトンネル(以後、FNトンネルと称する。)又はダイレクトトンネル等のトンネル効果によって第1の非磁性電極層3から第2の非磁性電極層4へキャリアの透過が可能な厚さを有している。尚、ダイレクトトンネルとは、キャリアが薄いポテンシャル障壁を直接透過する現象を言う。また、FNトンネルとは、ある印加電圧まではダイレクトトンネルによるトンネル電流が無視でき、ある値以上の電圧を印加することによって生じるポテンシャル障壁上部の三角ポテンシャルをキャリアがトンネルする現象を言う。

第 1 の非磁性電極層 3 と第 2 の非磁性電極層 4 とに印加する電圧は、通常のメモリ回路に使用される電圧範囲で良く、例えば、数百 mV から数 V のオーダーである。第 2 の強磁性障壁層 6 の厚さは、第 2 の非磁性電極層 4 から第 3 の非磁性電極層 7 にキャリアの熱放出またはトンネルによる電流（いわゆるリーク電流）が生じない程度に厚くする必要がある。

上記の非磁性電極層 3、4、7 および強磁性電極層 2、6 は、第 1 図 (B) に示すエネルギーバンド構造を形成する。第 1 図 (B) 中の非磁性電極層部分の実線 11 は、金属のフェルミエネルギー又は n 型 (p 型) 半導体のフェルミエネルギー又は伝導帶の底（価電子帯の頂上）のエネルギーを示す。非磁性電極層部分の実線 11 に対する強磁性障壁層 2、6 の低い方のエネルギー障壁を  $\phi_c$  で示し、スピン分裂幅を  $\Delta$  で表す。強磁性障壁層 2 と 6 は、異なる値の  $\phi_c$  と  $\Delta$  を有しても良いが、以下では、強磁性障壁層 2 と 6 とで同じ値の  $\phi_c$  と  $\Delta$  を持つ場合について示す。

キャリアが電子である場合は、非磁性電極層 3、4、7 に非磁性金属又は n 型半導体を用い、強磁性障壁層 2、6 に絶縁性の強磁性半導体又は強磁性絶縁体を用いる。この場合、強磁性障壁層 2、6 のアップスピンド端 9 及びダウンスピンド端 10 は、伝導帶の底がスピン分裂したものである。また、キャリアを正孔とする場合には、非磁性電極層 3、4、7 として p 型半導体を用い、強磁性障壁層 2、6 に絶縁性の強磁性半導体又は強磁性絶縁体を用いる。この場合には、強磁性障壁層 2、6 のアップスピンド端 9 及びダウンスピンド端 10 は、価電子帯頂上がスピン分裂したものである。

次に、上記スピントランジスタの動作原理について詳しく説明する。以後の説明においては、説明を簡単にするために、ホットエレクトロントランジスタの表記法を併用して説明する。すなわち、第 1 の

非磁性電極層 3 と第 1 の強磁性障壁層 2 をエミッタ 2 1、第 2 の非磁性電極層 4 をベース 2 2、第 2 の強磁性障壁層 6 と第 3 の非磁性電極層 7 をコレクタ 2 3 と称し、第 1 の非磁性電極層 3 をエミッタ電極 3、第 3 の非磁性電極層 7 をコレクタ電極 7 と称する。また、キャリアが電子の場合を例にして説明する（キャリアがホールの場合も、動作原理は本質的に同等であるので説明を省略する）。

第 2 図は、本実施の形態によるスピニルタトランジスタのエミッタ、ベース、コレクタ間にベース接地バイアス電圧を加えた場合のエネルギー-band 図であり、第 2 図 (A) は第 1 及び第 2 の強磁性障壁層の磁化の向きが互いに平行な場合、第 2 図 (B) は第 1 及び第 2 の強磁性障壁層の磁化の向きが互いに反平行な場合であり第 2 図 (A) に対応する図である。エミッタ 2 1 とベース 2 2 間にバイアス電圧  $V_{EB}$  を、ベース 2 2 とコレクタ 2 3との間にバイアス電圧  $V_{CB}$  を加えている。このとき  $V_{EB}$  の大きさは ( $\Phi_c < q V_{EB} < \Phi_c + \Delta$ ) の関係を満たすように設定する。但し、 $q$  は電荷素量である。

エミッタ 2 1 は、ベース 2 2 にスピニン偏極したホットエレクトロンを注入するスピニンインジェクタとして働く。すなわち、バイアス電圧  $V_{EB}$  によってキャリアをエミッタ電極 3 から第 1 の強磁性障壁層 2 をトンネルにより通過させる場合に、第 1 の強磁性障壁層 2 の伝導帯がスピニン分裂しているため、エミッタ電極 3 に存在するアップスピニン電子 2 4 とダウンスピニン電子 2 5 とでは感じる障壁高さが異なる。

すなわち、第 2 図 (A) では、アップスピニン電子 2 4 が感じる障壁高さは、第 1 の強磁性障壁層 2 のアップスピニンバンド端 9 までのエネルギー、すなわち  $\Phi_c$  であり、ダウンスピニン電子 2 5 が感じる障壁高さは、第 1 の強磁性障壁層 2 のダウンスピニンバンド端 10 までのエネルギー、すなわち、 $\Phi_c + \Delta$  である。従って、ベースーエミッタ電圧を制御する

ことにより、感じる障壁高さが低い方の спинを持つ電子、この場合にはアップスピンを持つ電子 24 を選択的にベース 22 にホットエレクトロンとしてトンネル注入させることができる（この現象をスピニルタ効果と称する。）。

一方、上記スピニルタトランジスタのコレクタ 23 は、ベース 22 に注入されたスピニル偏極ホットエレクトロンの向きを選別するスピニルアライザとして働く。すなわち、バイアス電圧  $V_{EB}$  によってホットな状態となりベース 22 に注入されたスピニル偏極ホットエレクトロン 26 は、ベース 22 の幅をスピニル偏極ホットエレクトロン 26 の平均自由行程以下に設定しているため、ベース 22 とコレクタ 23 との界面までエネルギーを失うことなく、すなわち、バリスティックに到達することができる。コレクタ 23 の第 2 の強磁性障壁層 6 も、伝導帯のスピニル分裂によって障壁高さの異なる 2 つの障壁が生じている。第 2 図 (A) に示すように、第 1 及び第 2 の強磁性障壁層 2、6 の磁化の向きが互いに平行な場合、スピニル偏極ホットエレクトロン 26 と平行なスピニルを持つ第 2 の強磁性障壁層 6 のアップスピニルバンド端 9 は、スピニル偏極ホットエレクトロン 26 のエネルギーより低いため、スピニル偏極ホットエレクトロン 26 は、第 2 の強磁性障壁層 6 を越えてコレクタ 電極 7 へ伝導し、コレクタ 電流  $I_C$  となる。

一方、第 2 図 (B) に示すように、第 1 及び第 2 の強磁性障壁層 2、6 の磁化方向を互いに反平行にした場合、ベース 22 には、ダウンスピニルを有するスピニル偏極ホットエレクトロン 27 が注入されるが、ダウンスピニルを有する第 2 の強磁性障壁層 6 のダウンスピニルバンド端 10 がスピニル偏極ホットエレクトロン 27 のエネルギーよりも高いので、スピニル偏極ホットエレクトロン 27 は第 2 の強磁性障壁層 6 の伝導帯を伝導できず、ベース 22 とコレクタ 23 との界面においてスピニル依存散乱（又

は反射) を受けてエネルギーを失い、ベース電流  $I_B$  となる。

このように、エミッタ 22 の第 1 の強磁性障壁層 2 とコレクタ 23 の第 2 の強磁性障壁層 6 との相対的な磁化の向きにより、エミッタからコレクタへ流れる電流の電流伝送率は大きく異なる。換言すれば、ベース電流によるコレクタ電流の電流増幅率が大きく異なる。

第 3 図は、本実施の形態によるスピニルタトランジスタのベース接地における静特性を示す図である。横軸は、図面上右方向にコレクターベース電圧  $V_{CB}$ 、左方向にエミッターベース電圧  $V_{EB}$  を示し、縦軸は、エミッタ電流  $I_E$ 、ベース電流  $I_B$ 、コレクタ電流  $I_C$  を示している。第 3 図 (A) は、エミッタとコレクタの強磁性障壁層の磁化方向が平行の場合の静特性を、第 3 図 (B) は、反平行の場合の静特性を示している。尚、第 3 図 (A)、第 3 図 (B) において、 $\alpha$  は電流伝送率、 $\beta$  は電流増幅率を示し、また、添え字、 $\uparrow\uparrow$  及び  $\downarrow\uparrow$  はそれぞれ、エミッタとコレクタの強磁性障壁層の相対的な磁化方向が平行の場合と、反平行の場合とを示す。

第 3 図 (A) に示すように、エミッタとコレクタの磁化方向が平行の場合には、エミッタ電流  $I_E$  のほとんどがコレクタ電流  $I_C$  とすることができる。第 3 図 (B) に示すように、磁化方向が反平行の場合には、エミッタ電流  $I_E$  のほとんどがベース電流  $I_B$  とすることができる。公知のホットエレクトロントランジスタ又はバイポーラトランジスタと同様に、本実施の形態によるトランジスタにおいても、ベース電流  $I_B$  によりコレクタ電流  $I_C$  を制御することができる。加えて、第 1 と第 2 の強磁性障壁層の相対的な磁化の向きによつても、電流増幅率を制御することができる。

本実施の形態によるスピニルタトランジスタの強磁性障壁層としては、EuS、EuSe、EuO 等の強磁性半導体を使用することがで

きる。また、 $R_3Fe_5O_{12}$ （Rは希土類元素を示す）等の強磁性絶縁体も使用することができる。非磁性電極層としては、非磁性体であれば良く、例えば、AlやAuなどの金属や、高濃度に不純物ドープされたSiやGaAs等の非磁性半導体でも良い。例えば、強磁性障壁層として、EuS、非磁性電極層としてAlを用いた場合、障壁高さ $\Phi_c = 1.4\text{ eV}$ であり、スピントリオクタジストは、上記の材料を用い、公知の分子線エピタキシャル成長法、真空蒸着法、スパッタリング法等によつて作製することができる。

次に、本発明のスピントリオクタジストをメモリセルとして用いた不揮発性メモリについて説明する。

第4図（A）は、本実施の形態によるスピントリオクタジスト1を用いたメモリセルの一構成例を示す図である。第4図（A）に示すメモリセルでは、スピントリオクタジストを多数マトリクス状に配置し、エミッタ端子Eを接地してコレクタ端子Cとベース端子Bとをそれぞれ読み出し用ビット線BLと読み出し用ワード線WLとに接続する。また、書き換え用ワード線と書き換え用ビット線を、上記スピントリオクタジスト上で他の配線と電気的に絶縁した状態で交差するように配置する。この書き換え用ワード線と書き換え用ビット線として、上記の読み出し用ビット線BLと読み出し用ワード線WLとを併用しても良い。第4図（A）は、併用した場合のセル構成を示す図である。第4図（A）の場合では、スピントリオクタジスト単体でメモリセルを構成できるとともに、配線に関しても非常に単純な構成にすることができる。従って、高密度集積化に適したレイアウトを容易に構成することができる。第4図（B）も同様のセル構成を用いている。

次に、本実施の形態によるメモリ回路について第4図（B）を参照し

て説明する。本実施の形態によるメモリ回路 4 1 は、スピニルタトランジスタ 1 (第 1 図) のベースである第 2 の非磁性電極 4 をワード線 4 2 に接続し、スピニルタトランジスタ 1 のコレクタ電極である第 3 の非磁性電極 7 をビット線 4 3 に接続し、ビット線 4 3 を、負荷 ( $R_L$ ) 4 4 を介して電源 ( $V_{cc}$ ) 4 5 に接続し、スピニルタトランジスタ 1 のエミッタ電極である第 1 の非磁性電極 3 を接地した構成を有している。ここでは負荷として純抵抗を用いているが、トランジスタによる能動負荷を用いても良い。

特定のメモリセルの記憶情報を読み出すには、特定のワード線 4 2 を選択してエミッターベース間にバイアスを加え、ビット線 4 3 に負荷抵抗 4 4 を介して電源 4 5 の電源電圧  $V_{cc}$  を印加し、ビット線 4 3 にあらわれる出力電圧  $V_o$  の大小によって記憶情報を読み出す。第 4 図 (C) の縦軸はコレクタ電流  $I_c$ 、横軸はコレクターエミッタ間電圧  $V_{ce}$  を表し、スピニルタトランジスタの  $I_c$ — $V_{ce}$  特性と、負荷抵抗 4 4 による負荷直線 4 6 を同一の図の上に示したものである。

出力電圧  $V_o$  は、これらの特性の交点から決定される。すなわち、第 1 及び第 2 の強磁性障壁層 2、6 の相互の磁化状態が、平行の場合と反平行の場合との出力信号は、それぞれ、第 4 図 (C) に示すように、 $V_{o\downarrow\downarrow}$  と  $V_{o\uparrow\uparrow}$  になる。 $V_{o\downarrow\downarrow}$  及び  $V_{o\uparrow\uparrow}$  の絶対値、及び、 $V_{o\downarrow\downarrow}$  と  $V_{o\uparrow\uparrow}$  の比は回路パラメータ ( $R_L$  及び  $V_{cc}$ ) により最適化できる。このように、本実施の形態による不揮発性メモリデバイスは、MTJ のように素子自身の構造を調節することなく、必要な大きさの出力信号及び出力信号の比を得ることができる。

本実施の形態によるトランジスタにおいて利用するスピニルタ効果は、強磁性体におけるバンドのスピニル分裂を利用した効果であり、MTJ の TMR 効果に比べてスピニルの選択率が高い。ベース幅をスピニル偏

極ホットキャリアの平均自由行程以下に設定すれば、第1及び第2の強磁性障壁層間の相対的な磁化状態が、平行磁化の場合では、電流伝送率 $\alpha$  ( $= I_c / I_e$  で定義) は 0.5 以上になりうるが、反平行磁化の場合では、電流伝送率は極めて小さい。すなわち、平行磁化の場合と反平行磁化の場合との電流伝送率の変化は、電流増幅率 $\beta$  ( $= I_e / I_b$  で定義される) でみると、さらに増幅されていることになる。この磁化状態で大きく異なるスピニルタトランジスタの出力特性に対して、上述した周辺回路により出力信号の最適化を行うことにより、容易に所望の出力信号の絶対値及び所望の出力信号の比を得ることができる。

次にキャリアの спинの向きに依存する出力特性を有するトランジスタ（以下、「スピントランジスタ」と称する）を用いた不揮発性記憶回路について説明する。

本発明に係る記憶回路は、スピントランジスタを用いた不揮発性記憶回路に関するものである。スピントランジスタは強磁性金属や強磁性半導体などの強磁性体をトランジスタ内に含み、この磁化状態によってキャリアの спинの向きを制御して出力特性を変化させる。スピントランジスタ内部における強磁性体の磁化状態に基づき情報を記憶し、スピントランジスタ内部の磁化状態を反映したトランジスタの出力特性を用いて情報の読み出しを行う。スピントランジスタを用いれば 1 つのスピントランジスタで 1 ビットの不揮発性メモリセルを構成することが可能であり、また、記憶情報に対する出力信号の値を、このメモリセルに接続した周辺回路によって最適化することが可能である。

より詳細には、スピントランジスタは、磁化の向きを磁場等によって独立に制御できる強磁性体層（フリー層）と、磁化の向きが固定されているか又はフリー層より大きな保磁力を有する強磁性体層（ピン層）と、を少なくとも 1 つずつ有しており、同一バイアス下であっても、フリー層

とピン層との相対的な磁化の向きによってトランジスタの出力特性を制御できるトランジスタである。フリー層の磁化の向きを磁場等により変化させることにより、フリー層とピン層との相対的な磁化状態を平行磁化又は反平行磁化の2つの状態にすることができる。この2つの磁化状態を2値の記憶情報に対応させる。

スピントランジスタでは、スピニ依存散乱、トンネル磁気抵抗効果、スピンフィルタ効果等のキャリアのスピニの向きに依存して変化する伝導現象に基づいて、トランジスタ内の磁化状態に応じた出力特性を得ることが出来る。スピントランジスタは、スピニ偏極キャリアを注入する第1の電極構造及びスピニ偏極キャリアを受け入れる第2の電極構造と、第1の電極構造から第2の電極構造へ伝導するスピニ偏極キャリアの量を制御する第3の電極構造とを備えている。

スピントランジスタでは、スピニに依存する伝導現象以外は、一般的なトランジスタと同様の動作原理に基づき動作する。従って、スピントランジスタはバイポーラトランジスタ等の電流駆動型トランジスタと電界効果トランジスタ等の電圧駆動型トランジスタとに分類することができる。電流駆動型トランジスタでは、第1の電極構造はエミッタに、第2の電極構造はコレクタに、第3の電極構造はベースにそれぞれ対応する。本実施の形態で説明したスピニフィルタトランジスタはこの電流駆動型に分類される。また、電圧駆動型トランジスタの場合には、第1の電極構造はソースに、第2の電極構造はドレインに、第3の電極構造はゲートにそれぞれ対応する。スピントランジスタにおける出力電流（コレクタ電流またはドレイン電流）は、同一バイアス下にあっても、スピントランジスタ内に含まれる強磁性体の磁化状態で変化する。

スピントランジスタの詳細については後述し、以下、スピントランジスタの一般的な出力特性と、スピントランジスタを用いた不揮発性メモ

リについて説明する。以下では、スピントランジスタ内のフリー層に磁場を印加することによって、フリー層とピン層の相対的な磁化状態を平行磁化または反平行磁化を実現することができるとする。また、この磁化状態はフリー層の保磁力以上の磁場が印加されない限り安定に存在できるものとする。

第5図(A)に、電流駆動型スピントランジスタの出力特性の例を模式的に示す。通常の電流駆動型トランジスタと同様に、コレクタ電流  $I_c$  はベース電流  $I_B$  の大きさによって制御できるが、コレクタ電流の大きさはスピントランジスタ内に含まれる強磁性体の磁化状態にも依存する。第5図(A)の場合では、スピントランジスタに同じバイアスを加えていても ( $I_B = I_{B1}$ )、平行磁化の場合ではコレクタ電流  $I_{c\uparrow\uparrow}$  は大きく、反平行磁化の場合ではコレクタ電流  $I_{c\downarrow\downarrow}$  は小さい。

第5図(B)に、電圧駆動型スピントランジスタの出力特性の例を模式的に示す。通常のMOSトランジスタなどの電界効果トランジスタと同様に、ゲート-ソース電圧 ( $V_{GS}$ ) がしきい値  $V_T$  よりも小さい場合 ( $V_{GS} < V_T$ ) には、スピントランジスタは遮断状態でドレイン電流はほとんど生じない。 $V_T$  以上の  $V_{GS}$  を印加すれば、スピントランジスタは導通状態となるが、同じバイアス下 ( $V_{GS} = V_{G1}$ ) においても、スピントランジスタ内に含まれる強磁性体が平行磁化を持つ場合と反平行磁化を持つ場合とではドレイン電流値は異なる。第3図(B)の場合では、平行磁化を持つ場合には、ドレイン電流  $I_{D\uparrow\uparrow}$  は大きく、反平行磁化を持つ場合には、ドレイン電流  $I_{D\downarrow\downarrow}$  は小さい。

従って、スピントランジスタでは、電流駆動型、電圧駆動型とともにデバイス内に含まれるフリー層とピン層の相対的な磁化の向きを、コレクタ電流またはドレイン電流の大きさに基づいて、電気的に検出することができる。また、上記のように強磁性体では、外部からフリー層の保磁

力以上の磁場が印加されない限り磁化の向きを安定に保持することができる。このため、スピントランジスタでは、デバイス内に含まれるフリーゲルとピン層の相対的な磁化状態を平行磁化または反平行磁化することによって2値の情報を不揮発に記憶することができる。従って、スピントランジスタを用いれば、1つのスピントランジスタのみで1ビットの不揮発性メモリセルを構成することができる。

以下、電圧駆動型のスピントランジスタを用いた場合を例にして、スピントランジスタを用いた不揮発性メモリについて詳述する。電流駆動型のスピントランジスタをメモリセルに用いた場合も同様にして構成することができる。

第6図(A)は、スピントランジスタを用いたメモリセルの構成例を示す図である。第6図(B)は、このメモリセルに基づいて形成した記憶回路の構成例を示す図である。第6図(A)と第6図(B)との関係は、第4図(A)と第4図(B)との関係と同様である。第6図(A)に示すメモリ回路では、スピントランジスタ150を多数マトリクス状に配置し、ソースSを接地してドレインDとゲートGとをそれぞれ読み出し用ビット線BLと読み出し用ワード線WLとに接続している。また、書き換え用ワード線と書き換え用ビット線を、上記スピントランジスタ150上で他の配線と電気的に絶縁した状態で交差するように配置する。この書き換え用ワード線と書き換え用ビット線として、上記の読み出し用ビット線BLと読み出し用ワード線WLとを併用しても良い。第6図(A)、(B)は、併用した場合の構成を示す図である。第6図(A)、(B)の場合では、1つのスピントランジスタのみでメモリセルを構成できるとともに、配線に関しても非常に単純な構成に配置することができる。

特に、MOSトランジスタに類似の形態を有する電圧駆動型のスピントランジスタでは、隣り合うメモリセルでソースを共通にするなど、微

細化に適したレイアウトを容易に構成することができる。

以下、上述した書き換え／読み出し用ピット線および書き換え／読み出し用ワード線を、単に、それぞれピット線BL、ワード線WLと呼ぶ。

情報の書き換えは、選択したメモリセル上で交差するピット線BLとワード線WLとに電流を流し、それぞれの配線に流れる電流によって誘起される磁界の合成磁界によって選択されたメモリセルのフリー層を反転させて情報を書き換える。この際、選択セルと同一のピット線BL又はワード線WLに接続している非選択セルが磁化反転しないようするため、一方の配線のみからの磁界では磁化反転を生じないようにそれぞれの配線に流す電流値を設定しておく。

情報の読み出しは、選択セルに接続されたワード線WLに電圧を印加してスピントランジスタを導通させてから、ピット線BLに電圧を印加してドレイン電流の大きさを検出する。このドレイン電流の大きさに基づき、フリー層とピン層との相対的な磁化状態を検出することができる。

第6図(B)は、第6図(A)に示すメモリ回路のピット線端に出力端子V<sub>o</sub>と、この出力端子V<sub>o</sub>から分岐して負荷を介し電源電圧V<sub>DD</sub>に接続したメモリ回路である。第6図(C)に、第6図(B)に示したメモリセルの静特性と動作点とを示す。ここでは、負荷としてデプレッション型MOSトランジスタによる能動負荷160を用いているが、第4図(B)のように純抵抗を用いても良い。第6図(C)に示すように、情報の読み出し時にはスピントランジスタ150のゲートにゲート電圧V<sub>GS</sub>を印加し、ピット線BLに負荷を介して電源電圧V<sub>DD</sub>を印加すれば、能動負荷による動作点は、ピン層とフリー層と間の磁化状態に応じて第6図(C)中の負荷曲線上を動き(図中のP11とP12)、平行磁化と反平行磁化との場合の出力信号V<sub>o</sub>はそれぞれ図中のV<sub>o↑↑</sub>とV<sub>o↓↑</sub>となる。それぞれの出力信号の絶対値および比(V<sub>o↑↑</sub>/V<sub>o↓↑</sub>)は、能動

負荷のトランジスタ特性や $V_{DD}$ などの周辺回路のパラメータにより最適化することができる。例えば、スピントランジスタの静特性と能動負荷による負荷曲線との交点を最適化することにより、ドレン電流比 $I_{o\uparrow\uparrow}/I_{o\downarrow\downarrow}$ が小さい場合でも大きな出力信号比を得ることができる。また、 $I_{o\uparrow\uparrow}$ と $I_{o\downarrow\downarrow}$ の値がメモリセルによってばらついていても、能動負荷の飽和電流が $I_{o\downarrow\downarrow}$ より大きく、 $I_{c\uparrow\uparrow}$ より小さければ、出力電圧はほとんど変動しないようにできる。さらに、情報の読み出しにセンスアンプを用いないため、高速の読み出しが可能となる。したがって、本実施の形態による記憶回路では、所望の大きさの出力信号を容易に得ることができて、さらに高速読み出しが可能になるという利点を有する。

従来のMTJとMOSトランジスタとを用いたメモリセルでは、MTJの抵抗による出力電圧をセンスアンプによって読み取るが、出力電圧はMTJに流す電流値とMTJのインピーダンス（接合抵抗）によって決定され、出力電圧比を周辺回路で自由に調節することはできない。

以下に、本実施の形態による不揮発性メモリ回路に適用可能なスピントランジスタの構造について図面を参照して説明する。以下、FMは強磁性金属、FSは電気伝導性強磁性半導体、IFSは絶縁性強磁性半導体、NMは非磁性体の略号である。特に、NM金属は非磁性金属、NM半導体は非磁性半導体を表す。まず、電流駆動型のスピントランジスタ群について説明を行う。

第7図は、ホットエレクトロントランジスタ型のスピントランジスタのエネルギーバンド図である。スピントランジスタ200は、エミッタ201とベース205とが、FMまたはFSで構成されている。より詳細には、スピントランジスタ200は、FM（又はFS）からなるエミッタ201と、NMからなるエミッタ障壁203と、FM（又はFS）からなるベース205と、NMからなるコレクタ障壁207と、NMか

らなるコレクタ 211 と、を有している。NM としては非磁性金属または非磁性半導体を用いることができる。

第 7 図に示すスピントランジスタ 200 では、エミッタ 201 からエミッタ障壁 203 を介してスピン偏極ホットキャリアをベース 205 にトンネル注入する。

エミッタ 201 とベース 205 とが平行磁化の場合には、注入されたスピン偏極ホットキャリアは、ベース 205 内でほとんどスピン依存散乱を受けないため、パリスティックにベース 205 を通過できるようにベース幅を設定しておけば、コレクタ障壁 207 を越えてコレクタ 211 に到達する。すなわち、通常のホットエレクトロントランジスタと同様のトランジスタ動作をする。

一方、エミッタ 201 とベース 205 とが反平行磁化を持つ場合には、エミッタ 201 からベース 205 に注入されたスピン偏極ホットキャリアは、ベース 205 内でスピン依存散乱によりエネルギーを失い、コレクタ障壁 207 を越えることができずにベース電流となる。すなわち、エミッタ 201 とベース 205 とが反平行磁化の場合には、両者が平行磁化の場合に比べて電流伝送率が低下する。従って、スピントランジスタ 200 に同じバイアスが印加されていても、エミッタ 201 とベース 205 との相対的な磁化状態の違いにより、電流伝送率又は電流増幅率が異なる。また、スピントランジスタ 200 はコレクタ障壁の障壁高さを適切に選択するなどにより室温動作も可能である。

スピントランジスタ 200 は、エミッターベース間が平行磁化を持つ場合と反平行磁化を持つ場合とのそれぞれにおける電流伝送率の比を大きくするためにはスピン依存散乱が有効に作用できるようにベース幅を長くとる必要がある。一方、ベース幅を長くすると、エミッタとベースとが平行磁化の場合においても、電流伝送率が小さくなり、例えば 0.

5を下回り、増幅作用が失われるといったトレードオフが存在する。

第8図は、ベースへのスピント注入機構として熱放出を利用したホットエレクトロントランジスタ型のスピントランジスタのエネルギー bandwidth 図である。第8図に示すように、スピントランジスタ 220 は、FM(又はFS)からなるエミッタ 221 と、FM(又はFS)からなるベース 225 と、両者の間に設けられたNMからなるエミッタ障壁 223 と、を有している。さらに、ベース 225 とエミッタ障壁 223との接合の反対側に、NMからなるコレクタ障壁 227 と、NMからなるコレクタ 231 と、を有している。エミッタ障壁 223 およびコレクタ障壁 227 には非磁性半導体を用いることができる。またコレクタ 231 は非磁性半導体または非磁性金属を用いることができる。

エミッタ 221 とエミッタ障壁 223との間はオーミックコンタクトまたはトンネルコンタクトを形成する。ベース 225 とエミッタ障壁 223との間、ベース 225 とコレクタ障壁 227との間は、第9図に示すバンド不連続を有するように接合を形成する。このバンド不連続は、NM半導体／FM間のショットキー接合やNM半導体／FS間のヘテロ接合により実現することができる。或いは、FSとFMとでショットキー接合を形成し、この際に生じるショットキー障壁をエミッタ障壁とし、FSをエミッタとし、FMをベースとして構成しても良い。

エミッタ 221 に対してベース 225 にバイアスを印加することによりエミッタ 221 からエミッタ障壁 223 に拡散したスピント偏極キャリアは、熱放出によりベース 225 へホットキャリアとして注入される。エミッタ 221 とベース 225 とが平行磁化を持つ場合には、ベース 225 に注入されたスピント偏極ホットキャリアはスピント依存散乱を受けることなくコレクタに到達することができるが、エミッタ 221 とベース 225 とが反平行磁化の場合では、スピント偏極ホットキャリアはスピント

依存散乱によってベース電流となる。このトランジスタ 220においても、ベースにおけるスピントランジスタ 200と同様に、平行磁化および反平行磁化を持つ場合のそれにおける電流伝送率の比と、平行磁化の場合における電流伝送率との間にトレードオフの関係が存在する。但し、トンネル注入を用いた上記スピントランジスタ 200に比べて、電流駆動力を大きく取れるといった特徴や、室温動作を実現しやすいといった特徴がある。

第9図は、スピニフィルタ効果を用いたホットエレクトロントランジスタ型のスピントランジスタのエネルギー-band図である。このトランジスタについては既に詳細に説明したが、簡単にその特徴を説明する。第9図に示すスピントランジスタ240は、エミッタ障壁243およびコレクタ障壁247がIFSにより構成されている。NM半導体（またはNM金属）からなるエミッタ241からは、エミッタ障壁243のスピニフィルタ効果により選択的に一方のスピントを持つキャリアのみをNM半導体（又はNM金属）からなるベース245に注入することができる。ベース幅をスピント偏極率ホットキャリアの平均自由行程以下に設定してあれば、ベース245に注入されたスピント偏極率ホットキャリアは、バリスティックにベース245を伝導する。このとき、コレクタ障壁247のアップスピントバンド（第9図では上向き矢印が付されているスピントバンド端）とダウンスピントバンド（第9図では下向き矢印が付されているスピントバンド端）とのエネルギー分裂幅内にスピント偏極ホットキャリアが注入されるようにスピントランジスタ240をバイアスしておく。エミッタ障壁243とコレクタ障壁247とが平行磁化を持つ場合には、ベース245に注入されたスピント偏極ホットキャリアは、コレクタ障壁247のスピニフィルタ効果によって、コレクタ障壁247における低いエネルギーのスピントバンドによる障壁を乗り越え、NM半導体（また

はNM金属)からなるコレクタ251へ伝播することができる。一方、エミッタ障壁243とコレクタ障壁247とが反平行磁化を持つ場合は、コレクタ障壁247のスピニルタ効果によって、スピニ偏極ホットキャリアのほとんどはコレクタ障壁247を乗り越えることができずベース電流となる。

従って、スピントランジスタ240において、エミッタ障壁243とコレクタ障壁247との相対的な磁化の向きによって、電流伝送率(又は電流増幅率)が異なる。スピニルタ効果はスピニの選択率が極めて大きいため、このトランジスタでは平行磁化と反平行磁化のそれぞれの場合における電流伝送率の比を大きくすることができる。

また、スピントランジスタ240では、ベース幅を十分に短くすることが可能である。従って、第7図、第8図に示すスピニ依存散乱を利用したスピントランジスタと異なり、ベース幅に関連する電流増幅率とスピニ選択性との間のトレードオフは存在しないという利点がある。

第10図は、トンネルベーストランジスタ型のスピントランジスタのエネルギー bandwidth 図である。第10図に示すように、トンネルベーストランジスタ型のスピントランジスタ260では、エミッタ261とコレクタ265にp型(又はn型)のFSを用い、トンネルベース263にn型(又はp型)のNM半導体を用いる。エミッターベース間及びベースコレクタ間は、正孔(又は電子)に対してベース263が障壁になるようなタイプIIのヘテロ接合を用いることが好ましい。また、ベース幅はエミッタからコレクタにトンネル電流が生じる程度に薄くする。

第10図に示す構造において、エミッタ261とコレクタ265とが平行磁化を持つ場合では、エミッタの多数スピニを有するキャリアは、容易にコレクタ265にトンネルできるためトンネルコンダクタンスは大きいが、エミッタ261とコレクタ265とが反平行磁化を持つ場合

では、トンネル磁気抵抗効果（TMR効果）によってトンネルコンダクタンスは小さい。従って、エミッタ261とコレクタ265との相対的な磁化の状態によってコレクタ電流の大きさを制御することができる。

このスピントランジスタ260におけるTMR比を大きくとることができれば、エミッターコレクタ間の磁化状態に依存するコレクタ電流の変化を大きくすることが可能となる。スピントランジスタ260で、TMR効果を有効に発現させるためには、ベースーコレクタ接合に逆バイアスを印加した場合に空乏層がコレクタ側に広がらないようにすることが好ましい。但し、空乏層がベース側に広がると、コレクタ電流の飽和特性に問題が生じる可能性は存在する。

上記スピントランジスタ260において、ベース層に空乏層が広がらないようにベース層を高濃度ドープし、ベースーコレクタ接合の空乏層がコレクタ側に広がるようにした場合には、ベースにおけるTMR効果は期待できないがコレクタに注入されたキャリアはコレクタ内でスピン依存散乱による抵抗を生じる。このスピン依存散乱を用いればエミッターコレクタ間の磁化状態によりコレクタ電流の大きさを変えることができる。但し、スピン依存散乱による抵抗変化は小さいことからTMR効果を用いる場合に比べてその効果が大きくなき可能性はある。

次に、電圧駆動型スピントランジスタ群について図面を参照して説明する。

第11図は、MOSトランジスタ型のスピントランジスタの断面構造を示す図である。第11図に示すように、MOSトランジスタ型のスピントランジスタ300は、NM半導体301上に、FMからなるソース303と、FMからなるドレイン305と、ゲート絶縁膜307を介してゲート電極311と、が形成された構造を有している。FMとNM半導体とのショットキー接合をソース303とドレイン305に用いてお

り、その他の構成は通常のMOSトランジスタと同様である。

ソース303からNM半導体301におけるゲート絶縁膜307の直下に形成されるチャネルに注入された спин偏極キャリアは、このチャネルを通ってドレイン305に到達する（以下、簡単のためチャネルに注入されたスピニのゲート電界によるRashba効果の影響を無視する）。ソース303とドレイン305とが平行磁化を持つ場合は、ドレイン305に注入されたスピニ偏極キャリアはスピニ依存散乱を受けることはないが、反平行磁化を持つ場合ではドレイン電極305においてスピニ依存散乱による抵抗を生じる。

従って、このトランジスタ300では、ソース-ドレイン間の相対的な磁化の向きによって相互コンダクタンスが異なる。

また、ソース303とドレイン305にFSを用いることにより半導体301との間にpn接合を形成し、ソースおよびドレインを形成することも可能である。

第12図は、変調ドープトランジスタ型のスピントランジスタの断面構造を示す図である。このスピントランジスタ320は、第1のNM半導体321と第2のNM半導体327との界面に生じる2次元キャリアガスに対するFM（又はFS）からなるソース323と、FM（又はFS）からなるドレイン325と、ゲート電極331とから形成された構造を有している。ソース323とドレイン325が強磁性体で構成されている以外は、通常の変調ドープトランジスタと同様である。

ソース323から、スピニ偏極キャリアを、二次元キャリアガスにより形成されたチャネル333に注入する。ドレイン325に達したスピニ偏極キャリアは、ドレイン325でのスピニ依存散乱のため、ソース323とこのドレイン325との相対的な磁化の向きによって相互コンダクタンスが異なる。

第13図は、チャネル領域にFSを用いたMOSトランジスタ型のスピントランジスタの断面図である。第13図に示すスピントランジスタ340は、FS341上に、FMからなるソース343と、NM（又はFM, FS）からなるドレイン345と、ゲート絶縁膜347を通してゲート電極351と、が形成された構造を有している。FMとFSとのショットキー接合をソース343に用いており、その他の構成は通常のMOSトランジスタと同様である。

ソース343からショットキー障壁を通してスピノン偏極キャリアをチャネル341中にトンネル注入する。このトンネル注入時のTMR効果及びFS341のチャネル内におけるスピノン依存散乱によって、ソース343とFS341の相対的な磁化の向きに依存する相互コンダクタンスを実現する。

第14図に断面構造を示すスピントランジスタ360は、絶縁性のNMトンネル障壁365をFM（又はFS）からなるソース361とFM（又はFS）からなるドレイン363とで挟み込んだトンネル接合構造を有しており、トンネル障壁365に対して電界を印加できるようにゲート電極371を配置したスピントランジスタである。

トンネル障壁365の膜厚は、ソースドレイン間のバイアスのみを印加した場合にFowler-Nordheim (FN) トンネルが生じない程度の厚さに設定しておくことが好ましい。ソースドレイン間にバイアスを印加することによって生じるトンネル障壁バンド端の三角ポテンシャルをゲート電圧により変化させることによって、FNトンネルを誘起しドレイン電流を得る。

ソース361から注入されたスピノン偏極キャリアは、ソース361とドレイン363の相対的な磁化状態に応じて、ドレイン363でスピノン依存散乱を受ける。従って、ソースドレイン間の相対的な磁化の向き

によってトランジスタの相互コンダクタンスを制御できる。

第15図に断面構造を示すスピントランジスタ380は、第14図に示すスピントランジスタ360のトンネル障壁をIFSからなるトンネル障壁385に置き換えたものである。ソース381はFM又はFSである必要があるが、ドレイン383は強磁性体でなくてもよい。IFSトンネル障壁層385では、キャリアの спинの向きによって障壁高さが異なるが、ソース381とトンネル障壁385とが平行磁化を持つ場合にトランジスタが導通状態となるようにソースードレイン間およびソースゲート間にバイアスを加える。これと同じバイアス条件下において、ソース381とトンネル障壁385が反平行磁化を持つ場合には、ソース381の多数スピントンネル障壁の高さが高くなるため、スピントンネル確率が減少してドレイン電流が低減する。このスピントンネル効果によるスピントンネル選択率は極めて大きいため、スピントンネル率の大きな強磁性体をソース381として用いれば、ソースードレイン間の相対的な磁化の向きによる相互コンダクタンスの変化を大きくすることができる。

以上、説明した種々のスピントランジスタは、いずれも第4図又は第6図に示す記憶回路用のメモリセルとして用いることができる。

また、2つの第11、14、15図に示した2つの電圧駆動型のスピントランジスタのソースを1つのソースで共通とした構造を形成することも可能である。第16図(A)は共通ソース構成を有するメモリセルの構成例を示す図である。第16図(B)は、共通ソース構成を有するメモリセルの断面構造例を示す図である。

第16図(A)、(B)に示すメモリセル構造は、互いに隣接する第1のスピントランジスタTr1と第2のスピントランジスタTr2と、第1のスピントランジスタTr1のゲート電極G1と第2のスピントラン

ジスタ T<sub>r</sub> 2 のゲート電極 G<sub>2</sub> とを共通接続するワード配線 W<sub>L</sub> と、第 1 のスピントランジスタ T<sub>r</sub> 1 の第 1 のドレイン D<sub>1</sub> と接続する第 1 ビットライン B<sub>L</sub> 1 と、第 2 のスピントランジスタの第 2 のドレイン D<sub>2</sub> と接続する第 2 ビットライン B<sub>L</sub> 2 と、第 1 及び第 2 スピントランジスタ T<sub>r</sub> 1、T<sub>r</sub> 2 に共通の強磁性ソース S と、これを接地する配線とを有する。上記構造を用いると、ソースを共通とするために、さらに高密度化集積化に適したセル構造となる。

特に、第 11、14、15 図に示した電圧駆動型のスピントランジスタでは遮断時のリーク電流を最小限に抑えるために、第 16 図 (B) に示すような絶縁性の高い、例えば S O I 基板などを用いるのが好ましい。

以上、説明したように、本発明の実施の形態によるスピニルタトランジスタおよびその他本実施の形態で示した種々のスピントランジスタは、出力特性をデバイス内に含まれるピン層とフリー層との相対的な磁化の向きによって制御できるという特徴的な特性を持つ。この相対的な磁化状態は電力を供給しなくとも状態を保持することができるいわゆる不揮発性の性質を有する。従って、この相対的な磁化状態を 2 値の情報として不揮発性に記憶することができる。さらに、上記の出力特性を用いれば、この相対的な磁化状態を電気的に検出することもできる。すなわち、スピントランジスタを用いれば、1 つのスピントランジスタのみで 1 ビットの不揮発性メモリセルを構成することができる。さらに、本実施の形態によるスピントランジスタを用いた不揮発性メモリ回路を用いれば、記憶情報に対する出力信号の大きさ及び出力信号の比を自由に設計することができる。

従って、本発明の実施の形態によるスピントランジスタ及びそれを用いたメモリ回路を用いれば、不揮発性メモリ回路の動作速度及び集積度を向上させることができるという利点がある。

以上、実施の形態に沿って本発明を説明したが、本発明はこれらに制限されるものではない。その他、種々の変更、改良、組み合わせが可能なことは当業者に自明であろう。

#### 産業上の利用可能性

以上のように、本発明のスピニルタトランジスタによれば、強磁性障壁層間の相対的な磁化の向きによって出力特性を大きく変化させることができる。

また、このスピニルタトランジスタおよびこれと同等の特性を有する他のスピントランジスタをメモリセルに用いた不揮発性メモリ回路は、トランジスタ内に含まれる強磁性体間の相対的な磁化の向きによって2値の情報を記憶することができるとともに、この相対的な磁化の向きを電気的に検出することができる。さらに、本発明の不揮発性メモリ回路を用いれば、記憶情報に対する出力信号を自由に設計できる。従つて、上記スピントランジスタを用いれば、1つのトランジスタのみで1ビットの不揮発性メモリセルを構成する高速かつ高集積密度の不揮発性記憶回路の実現が可能となる。

## 請 求 の 範 囲

1. スピンフィルタ効果によってスピン偏極したホットキャリアを注入するスピニンジェクタと、この注入されたスピン偏極ホットキャリアをスピンフィルタ効果によって選別するスピアナライザと、を有することを特徴とするトランジスタ。

2. 前記スピニンジェクタは、両端に電圧を印加することによりキャリアのトンネルが可能な第1の強磁性障壁層と、該第1の強磁性障壁層の一端面に接合した第1の非磁性電極層と、前記第1の強磁性障壁層の他端面に接合した第2の非磁性電極層とを有することを特徴とする請求項1に記載のトランジスタ。

3. 前記スピアナライザは、

第2の強磁性障壁層と、この第2の強磁性障壁層の一端面に接合した前記第2の非磁性電極層と、上記第2の強磁性障壁層の他端面に接合した第3の非磁性電極層とを有しており、かつ、前記スピニンジェクタと前記第2の非磁性電極層を共通にしていることを特徴とする請求の範囲第1項または第2項に記載のトランジスタ。

4. 前記第1及び第2の強磁性障壁層は、強磁性半導体又は強磁性絶縁体を含んでいることを特徴とする請求の範囲第2項または第3項に記載のトランジスタ。

5. 前記第2の非磁性電極層の厚さは、該第2の非磁性電極層におけるスピン偏極ホットキャリアの平均自由行程以下の厚さであることを特徴とする、請求の範囲第1項から第4項までのいずれか1項に記載のトランジスタ。

6. 前記スピニンジェクタのスピンフィルタ効果は、前記第1の非磁性電極層と前記第2の非磁性電極層とに電圧を印加して生じさせる前記第1の強磁性障壁層におけるキャリアのトンネル効果において、上記第

1 の非磁性電極層に存在するキャリアのうち、上記第 1 の強磁性障壁層のバンド端におけるスピンドルと平行なスピンドルの向きを有するキャリアのトンネル確率が大きく、反平行となるスピンドルの向きを有するキャリアのトンネル確率が小さいことを利用したことを特徴とする、請求の範囲第 1 項から第 5 項までのいずれか 1 項に記載のトランジスタ。

7. 前記スピニアナライザのスピンドル効果は、前記スピンドルインジエクタから注入されたスピンドル偏極ホットキャリアのスピンドルの向きと前記第 2 の強磁性障壁層のバンド端におけるスピンドルのスピンドルの向きが平行の場合には、前記スピンドル偏極ホットキャリアが前記第 2 の強磁性障壁層のバンド端におけるスピンドルを伝導し前記第 3 の非磁性電極層へ達するが、前記スピンドル偏極ホットキャリアのスピンドルの向きと前記第 2 の強磁性障壁層のバンド端のスピンドルのスピンドルの向きが反平行の場合には、前記スピンドル偏極ホットキャリアが前記第 3 の非磁性電極層へ達することができないことを利用したことを特徴とする、請求の範囲第 1 項から第 6 項までのいずれか 1 項に記載のトランジスタ。

8. 前記第 1 の非磁性電極層と前記第 2 の非磁性電極層との間に第 1 の電源により第 1 の電圧を印加し、前記第 2 の非磁性電極層と前記第 3 の非磁性電極層との間、または、前記第 1 の非磁性電極層と前記第 3 の非磁性電極層との間に第 2 の電源により第 2 の電圧を印加し、前記第 1 の強磁性障壁層と前記第 2 の強磁性障壁層の相対的な磁化の向きに応じて、前記第 1 の非磁性電極層から前記第 2 の非磁性電極層に注入されたスピンドル偏極ホットキャリアを、前記第 2 の強磁性障壁層と前記第 2 の電源を介して流れる電流に、または、前記第 2 の非磁性電極層と前記第 1 の電源を介して流れる電流に切り替えることを特徴とする、請求の範囲第 1 項から第 7 項までのいずれか 1 項に記載のトランジスタ。

9. 前記第 1 の電圧は、注入されたスピンドル偏極ホットキャリアのエネルギー

ギーが、前記第2の強磁性障壁層のバンド端におけるスピンドル端エネルギーより大きく、このスピンドル端のエネルギーにスピント分裂幅を加えたエネルギーよりも小さくなるように印加することを特徴とする請求の範囲第8項に記載のトランジスタ。

10. 磁場を印加することによって、上記第1の強磁性障壁層と上記第2の強磁性障壁層の内のいずれか一方の磁化の向きを反転させることができることを特徴とする請求の範囲第9項に記載のトランジスタ。

11. 請求の範囲第1項から第10項までのいずれか1項に記載のトランジスタをメモリセルとしたことを特徴とする記憶回路。

12. 前記トランジスタの第2の非磁性電極層をワード線に接続し、前記トランジスタの第3の非磁性電極層をビット線に接続し、該ビット線を負荷を介して電源に接続し、前記トランジスタの第1の非磁性電極層を接地したことを特徴とする請求の範囲第11項に記載の記憶回路。

13. 強磁性体を内部に含み、キャリアのスピントの向きに依存する出力特性を有するトランジスタ（以下、「スピントランジスタ」と称する。）と、

前記強磁性体の磁化の状態を変えることにより前記スピントランジスタ内に情報の書き換えを行う情報書き換え手段と、

前記出力特性から前記スピントランジスタ内に磁化の状態として記憶された情報を読み出す情報読み出し手段と  
を有することを特徴とする記憶素子。

14. 前記スピントランジスタは、

磁化の方向を独立に制御できる強磁性体（以下「フリー層」と称する。）と、磁化の方向を変化させない強磁性体（以下、「ピン層」と称する。）と、を少なくとも1つずつ有しており、

前記フリー層と前記ピン層とが同じ磁化の向きを持つ第1の状態と、

異なる磁化の向きを持つ第2の状態と、の2つの記憶状態のうちいずれか一方を保持することを特徴とする請求の範囲第13項に記載の記憶素子。

15. 請求の範囲第14項に記載の1つのスピントランジスタを用いて、前記ピン層に対する前記フリー層の相対的な磁化の向きによって情報を記憶し、前記ピン層と前記フリー層との相対的な磁化の向きに依存する前記スピントランジスタの出力特性に基づいて前記トランジスタ内に記憶された情報を検出することを特徴とする記憶素子。

16. 前記スピントランジスタは、

スピントランジスタを注入する第1の電極構造及び前記スピントランジスタを受け入れる第2の電極構造と、前記第1の電極構造から前記第2の電極構造へ伝導するスピントランジスタの量を制御する第3の電極構造とを備えており、前記ピン層と前記フリー層とは前記第1から第3までの電極構造のいずれかに含まれていることを特徴とする請求の範囲第14項又は第15項に記載の記憶素子。

17. 請求の範囲第16項に記載の1つのスピントランジスタと、

前記第1の電極構造を接地する第1の配線と、  
前記第2の電極構造と接続する第2の配線と、  
前記第3の電極構造と接続する第3の配線と  
を有する記憶素子。

18. 請求の範囲第16項に記載の1つのスピントランジスタと、

前記第1の電極構造を接地する第1の配線と、  
前記第2の電極構造と接続する第2の配線と、  
前記第3の電極構造と接続する第3の配線と、  
前記第2の配線の一端に形成される出力端子と、  
前記第2の配線から分岐し負荷を介して電源と接続する第4の配線と

を有する記憶素子。

19. さらに、前記スピントランジスタ上で互いに電気的に絶縁された状態で交差する第1の別配線及び第2の別配線とを有することを特徴とする請求の範囲第17項又は第18項に記載の記憶素子。

20. 前記第1の別配線および前記第2の別配線、又は、前記第1の別配線又は前記第2の別配線のいずれか一方に代えて、前記第2の配線および前記第3の配線、又は、前記第2の配線又は前記第3の配線のいずれか一方を用いることを特徴とする請求の範囲第19項に記載の記憶素子。

21. 前記第1の別配線及び第2の別配線または前記第2の配線及び前記第3の配線に電流を流すことにより誘起される磁場により、前記フリー層の磁化を反転させ、前記ピン層と前記フリー層との間の相対的な磁化状態を変化させることにより情報の書き換えを行うことを特徴とする請求の範囲第19項又は第20項に記載の記憶素子。

22. 前記第3の配線に対して第1のバイアスを加え、前記第1の配線と第2の配線との間に第2のバイアスを加えた場合の前記スピントランジスタの出力特性に基づき情報の読み出しを行うことを特徴とする請求の範囲第17項又は第18項に記載の記憶素子。

23. 前記第3の配線に対して第1のバイアスを印加した場合において、前記電源と前記第1の配線との間に生じる前記負荷と前記スピントランジスタを介する電流による前記負荷の電圧降下に基づいて得られる出力電圧により、情報の読み出しを行うことを特徴とする請求の範囲第18項から第22項までのいずれか1項に記載の記憶素子。

24. マトリックス状に配置された請求の範囲第16項に記載の1つのスピントランジスタと、

前記第1の電極構造をそれぞれ接地する第1の配線と、

列方向に並ぶ前記スピントランジスタの前記第3の電極構造を共通に接続する複数本のワード線と、

行方向に並ぶ前記スピントランジスタの前記第2の電極構造を共通に接続する複数本のビット線と  
を有する記憶回路。

25. マトリックス状に配置された請求の範囲第16項に記載のスピントランジスタと、

前記第1の電極構造をそれぞれ接地する第1の配線と、

列方向に並ぶ前記スピントランジスタの前記第3の電極構造を共通に接続する複数本のワード線と、

行方向に並ぶ前記スピントランジスタの前記第2の電極構造を共通に接続する複数本のビット線と、

該ビット線の一端に形成される出力端子と、

該ビット線から分岐し負荷を介して電源に接続する第2の配線と  
を有する記憶回路。

26. さらに、前記トランジスタ上で互いに電気的に絶縁された状態で交差する第1の別配線及び第2の別配線とを有することを特徴とする請求の範囲第24項又は第25項に記載の記憶回路。

27. 前記第1の別配線および前記第2の別配線、又は、前記第1の別配線又は前記第2の別配線のいずれか一方に代えて、前記ワード線および前記ビット線、又は、前記ワード線又は前記ビット線のいずれか一方を用いることを特徴とする請求の範囲第26項に記載の記憶回路。

28. 前記第1の別配線及び第2の別配線又は前記ワード線及び前記ビット線に電流を流すことにより誘起される磁場により、前記フリー層の磁化を反転させ、前記フリー層と前記ピン層との間の相対的な磁化状態を変化させることにより情報の書き換えを行うことを特徴とする請求の

範囲第 26 項又は第 27 項に記載の記憶回路。

29. 前記ワード線に対して第 1 のバイアスを加え、前記第 1 の配線と前記ビット線との間に第 2 のバイアスを加えた場合の前記スピントランジスタの出力特性に基づき情報の読み出しを行うことを特徴とする請求の範囲第 24 項又は第 25 項に記載の記憶回路。

30. 前記ワード線に対して第 1 のバイアスを印加した場合において、前記電源と前記第 1 の配線との間に生じる前記負荷と前記スピントランジスタを介する電流による前記負荷の電圧降下に基づいて得られる出力電圧により、情報の読み出しを行うことを特徴とする請求の範囲第 25 項から第 27 項までのいずれか 1 項に記載の記憶回路。

31. 請求の範囲第 16 項に記載の第 1 及び第 2 の 2 つのスピントランジスタと、

前記第 1 及び前記第 2 のスピントランジスタに共通の第 1 の電極構造を接地する第 1 の配線と、

前記第 1 のスピントランジスタが有する第 2 の電極構造と前記第 2 のスピントランジスタが有する第 2 の電極構造とをそれぞれ接続する第 2 及び第 3 の配線と、

前記第 1 のスピントランジスタが有する第 3 の電極構造と前記第 2 のスピントランジスタが有する第 3 の電極構造とを接続する第 4 の配線とを有する記憶素子。

32. マトリックス状に配置される請求の範囲第 16 項に記載の複数のスピントランジスタと、

複数の該スピントランジスタのうち、行方向に複数配置される第 1 のスピントランジスタの行と、該第 1 のスピントランジスタの行と列方向に隣接し行方向に複数配置される第 2 のスピントランジスタの行と、が有するそれぞれの前記第 1 の電極構造を共通にするとともに接地する第

1 の配線と、

複数の前記スピントランジスタのうち、行方向に複数配置される第1のスピントランジスタの行が有する前記第2の電極構造を共通に接続する第1のビット線と、前記第1のスピントランジスタの行と列方向に隣接する第2のスピントランジスタの行が有する前記第2の電極構造を共通に接続する第2のビット線と、

複数の前記スピントランジスタのうち、列方向に複数配置されるスピントランジスタの列が有する第3の電極構造を共通に接続するワード配線と

を有する記憶回路。

33. マトリックス状に配置される請求の範囲第16項に記載の複数のスピントランジスタと、

複数の該スピントランジスタのうち、行方向に複数配置される第1のスピントランジスタの行と、該第1のスピントランジスタの行と列方向に隣接し行方向に複数配置される第2のスピントランジスタの行と、が有するそれぞれの前記第1の電極構造を共通にするとともに接地する第1の配線であって、2行毎に1本設けられている複数の配線と、

複数の前記スピントランジスタのうち、行方向に複数配置される第1のスピントランジスタの行が有する前記第2の電極構造を共通に接続する第1のビット線であって、前記スピントランジスタの2行毎に1本設けられている複数本の第1のビット線と、前記第1のスピントランジスタの行と列方向に隣接する第2のスピントランジスタの行が有する前記第2の電極構造を共通に接続する第2のビット線であって、前記スピントランジスタの2行毎に1本設けられている複数本の第2のビット線と、

複数の前記スピントランジスタのうち、列方向に複数配置されるスピントランジスタの列が有する第3の電極構造をそれぞれ共通に接続する

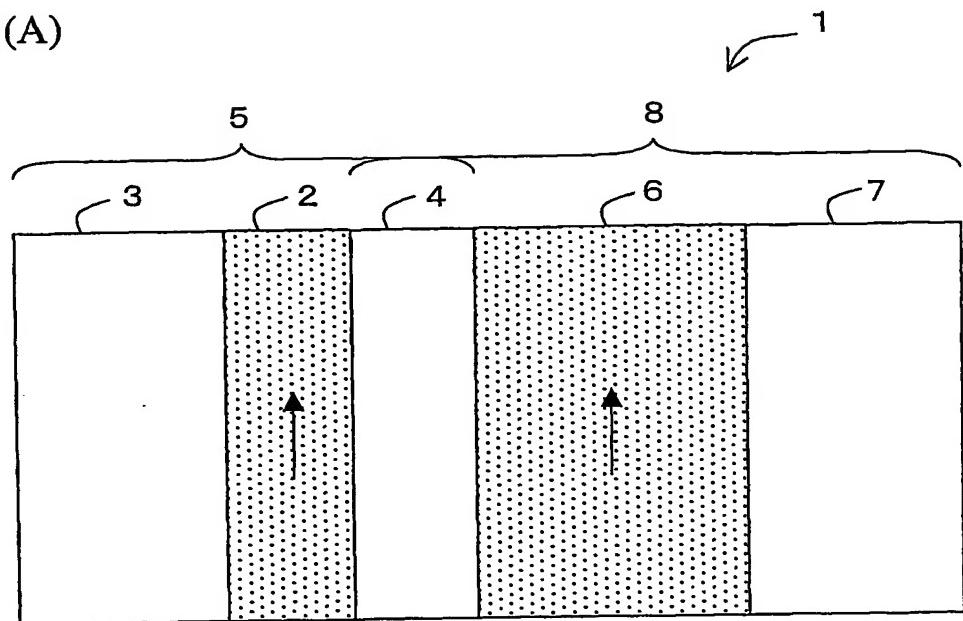
複数本のワード線と

を有する記憶回路。

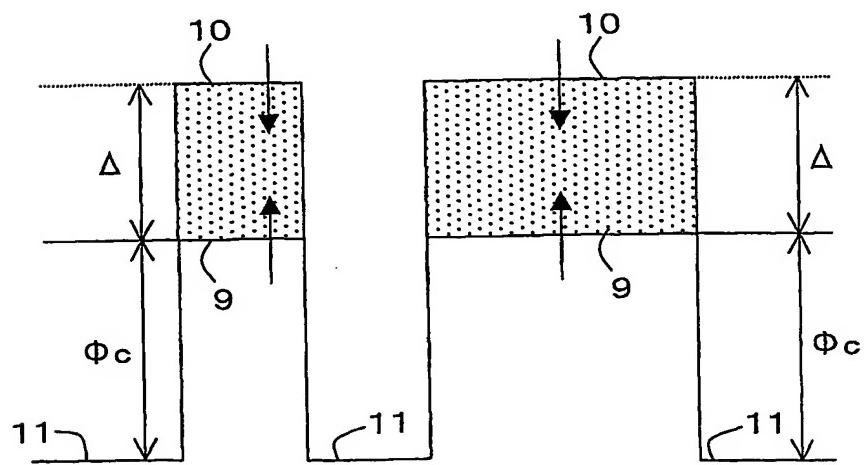
3 4 . 前記第 1 の別配線又は前記第 2 の別配線のいずれか一方を置き換えた前記第 2 の配線又は前記第 3 の配線及びこれらに置き換えられなかつた方の前記第 1 の別配線又は前記第 2 の別配線に電流を流すことにより誘起される磁場により、前記フリー層の磁化を反転させ、前記ピン層と前記フリー層との間の相対的な磁化状態を変化させることにより情報の書き換えを行うことを特徴とする請求の範囲第 20 項に記載の記憶素子。

3 5 . 前記第 1 の別配線又は前記第 2 の別配線のいずれか一方を置き換えた前記ワード線又は前記ビット線及びこれらに置き換えられなかつた方の前記第 1 の別配線又は第 2 の別配線に電流を流すことにより誘起される磁場により、前記フリー層と前記ピン層との間の相対的な磁化状態を変化させることにより情報の書き換えを行うことを特徴とする請求の範囲第 27 項に記載の記憶回路。

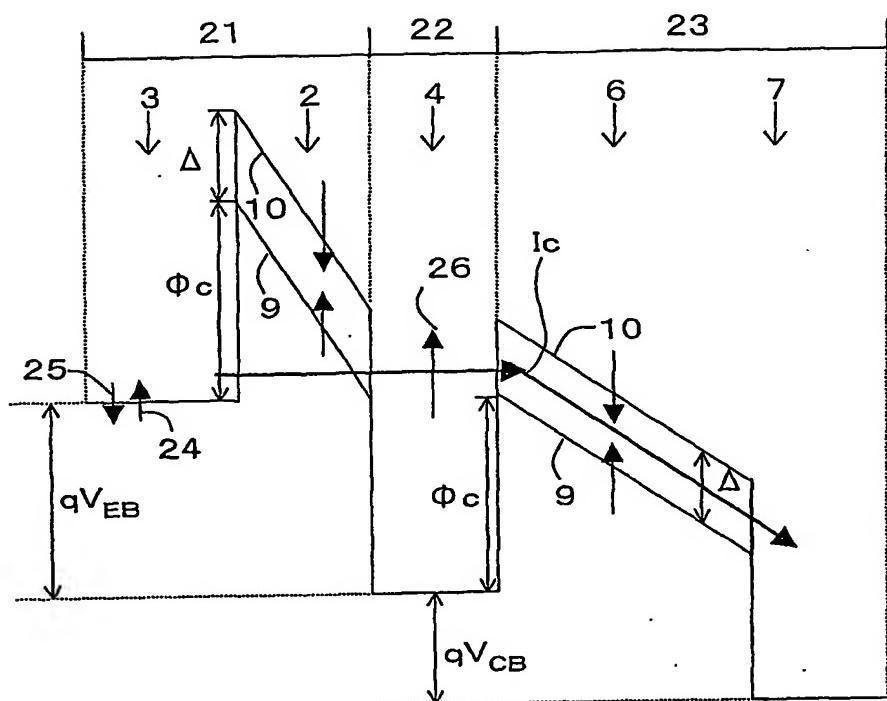
第1図(A)



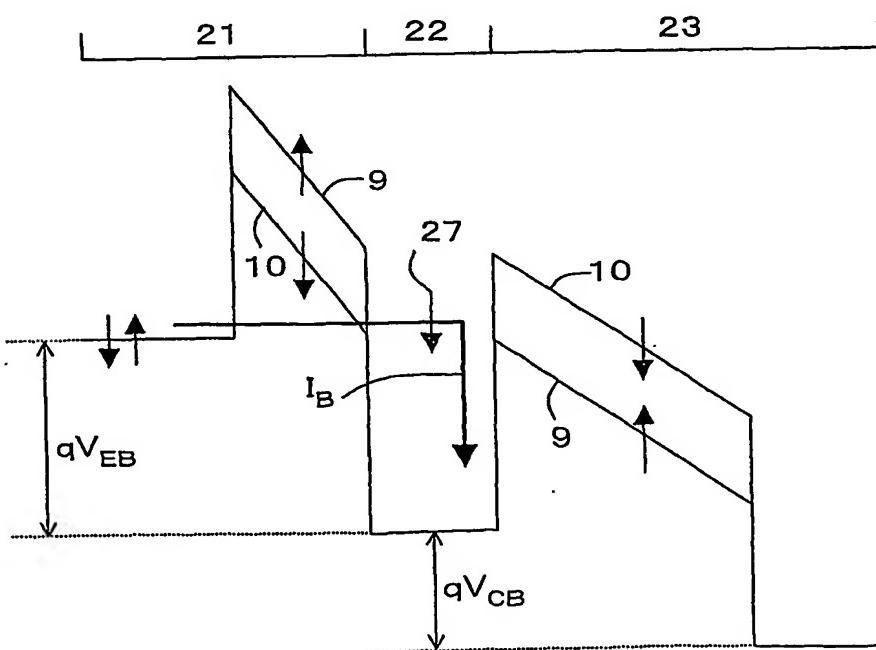
第1図(B)



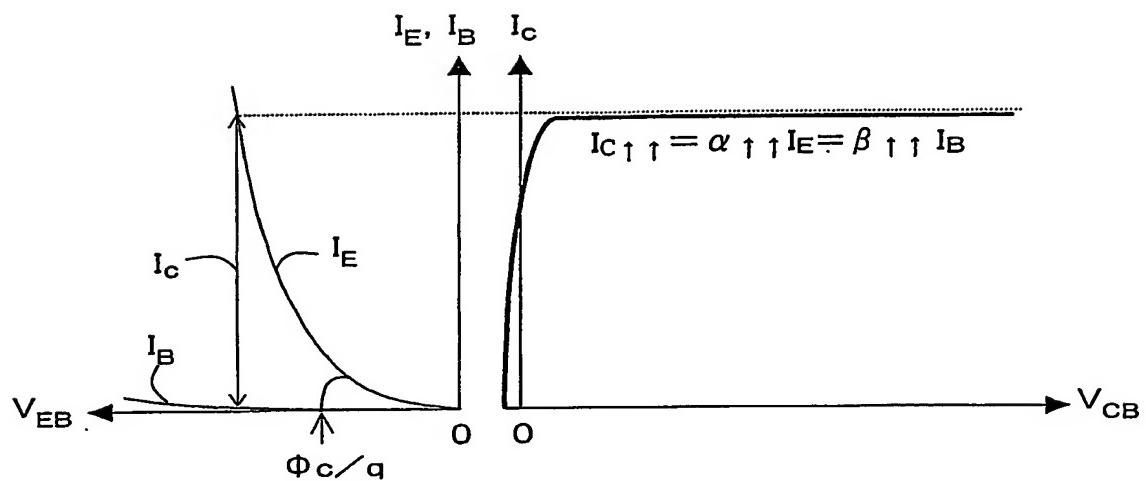
第2図 A



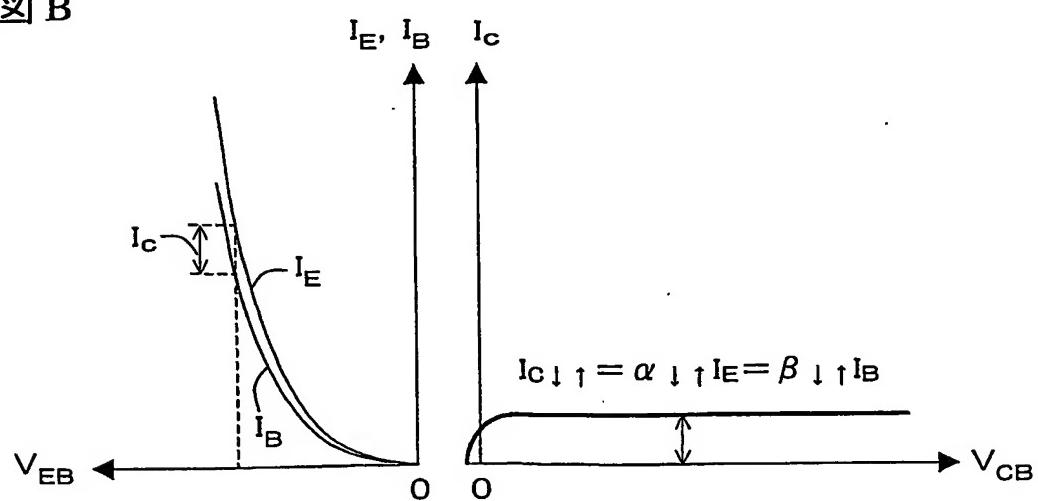
第2図 B

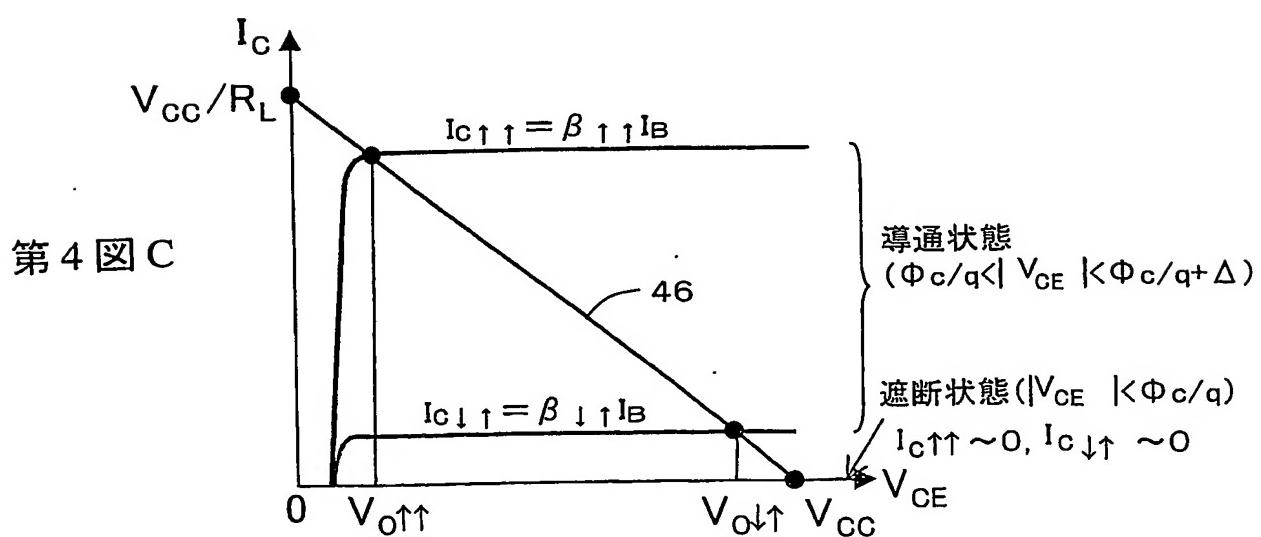
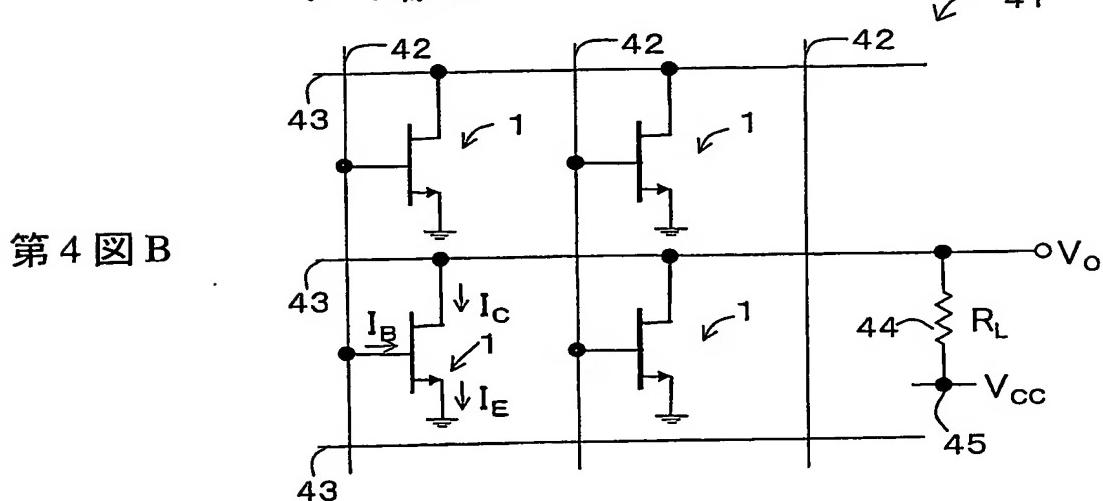
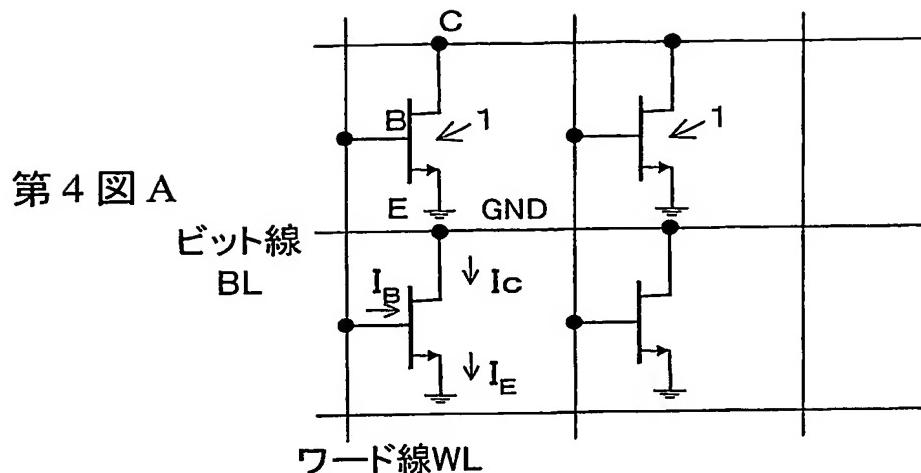


第3図A

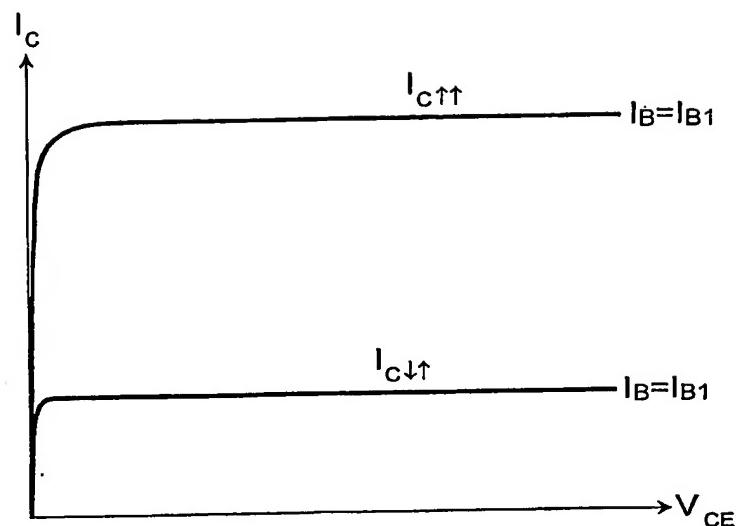


第3図B

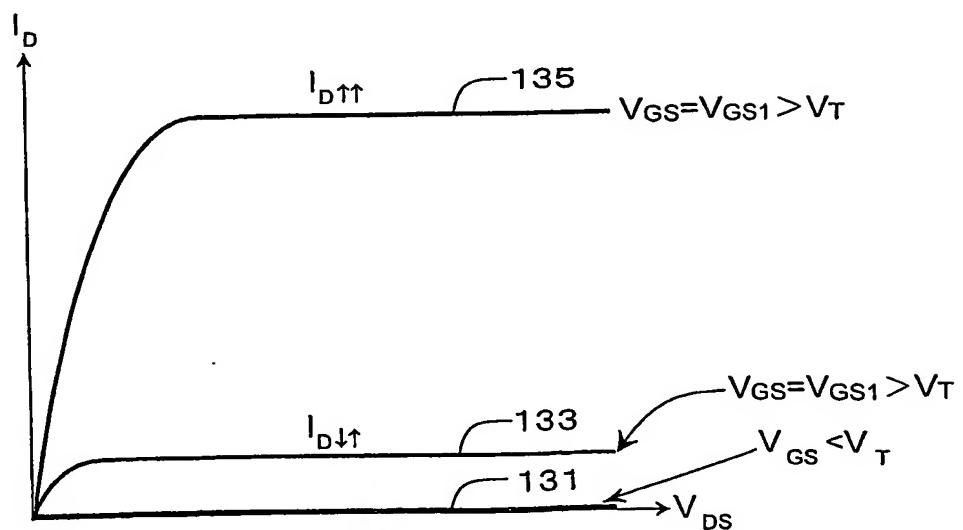




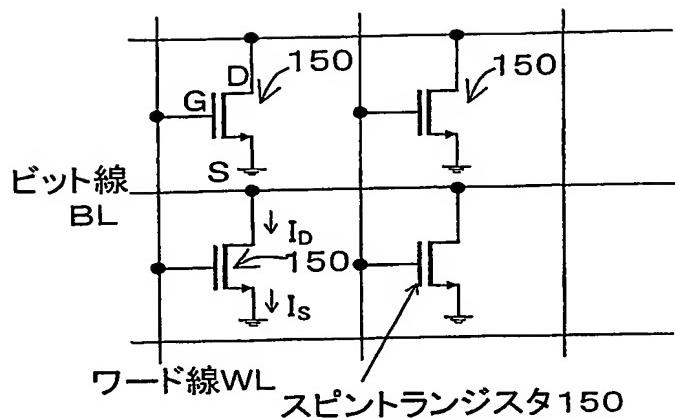
第5図A



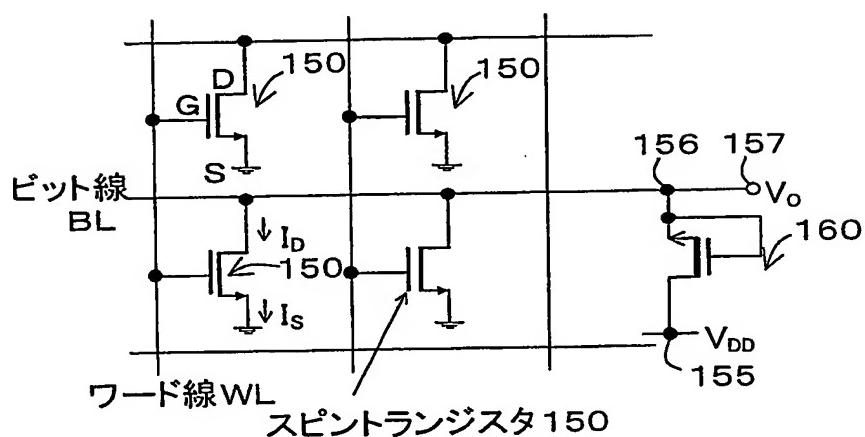
第5図B



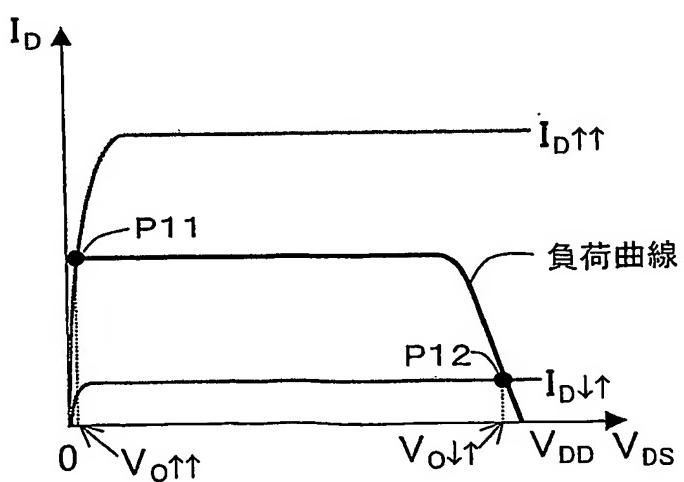
第6図A



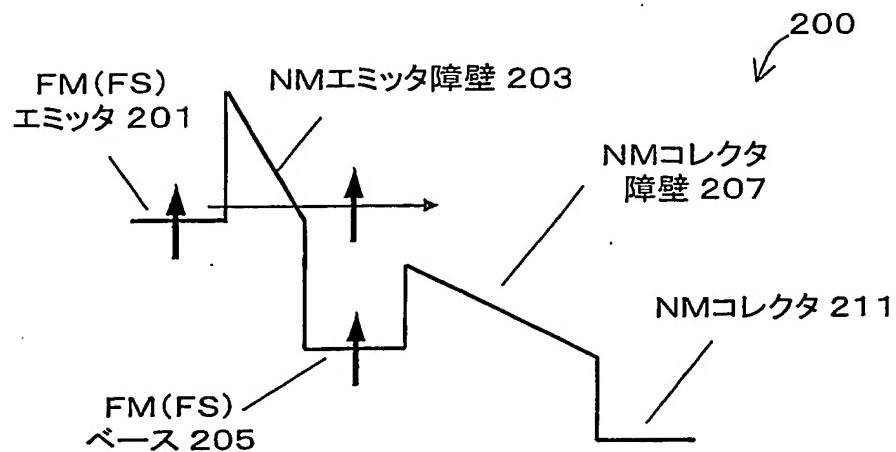
第6図B



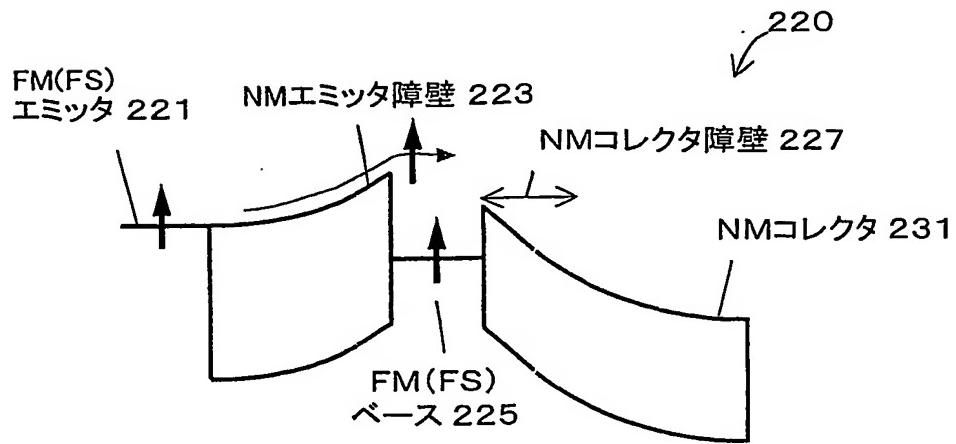
第6図C



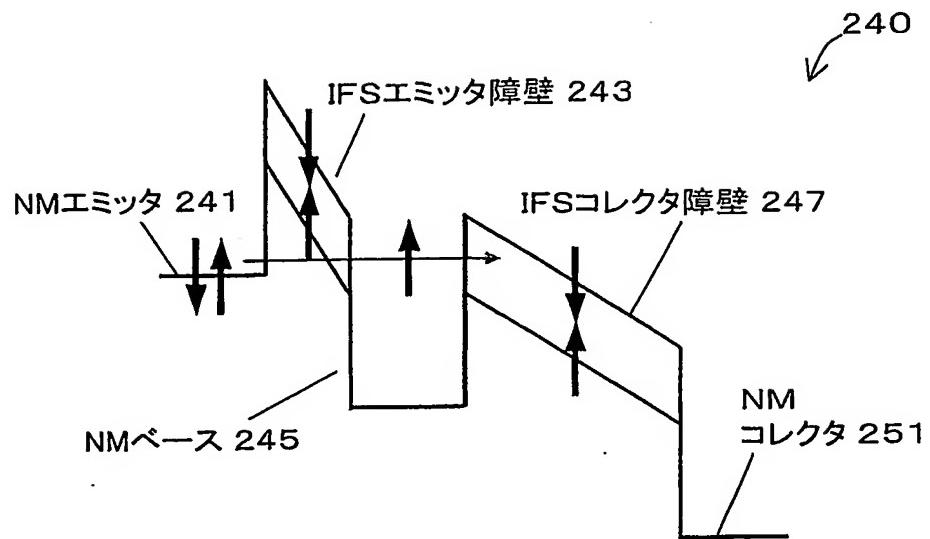
第7図



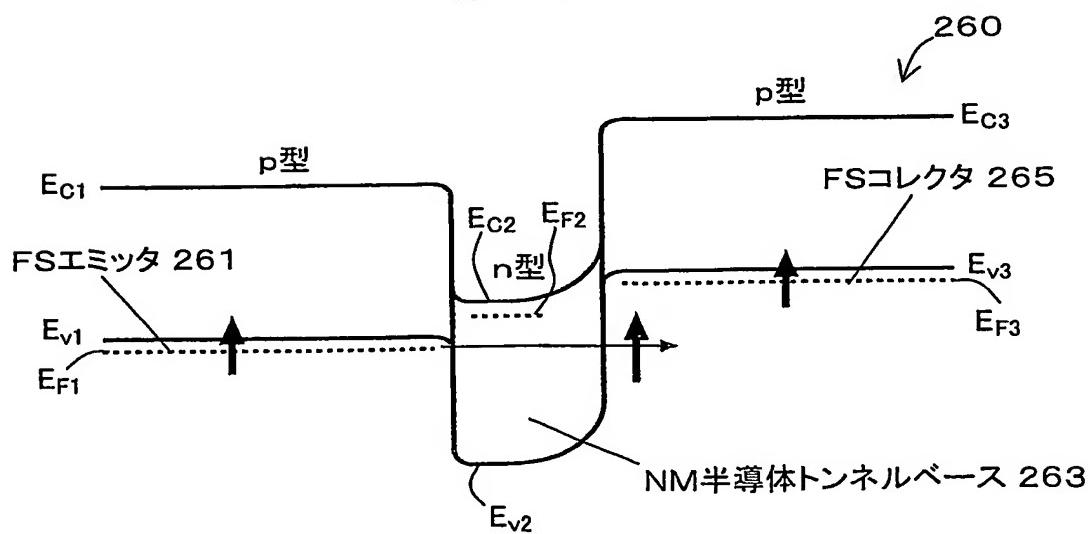
第8図



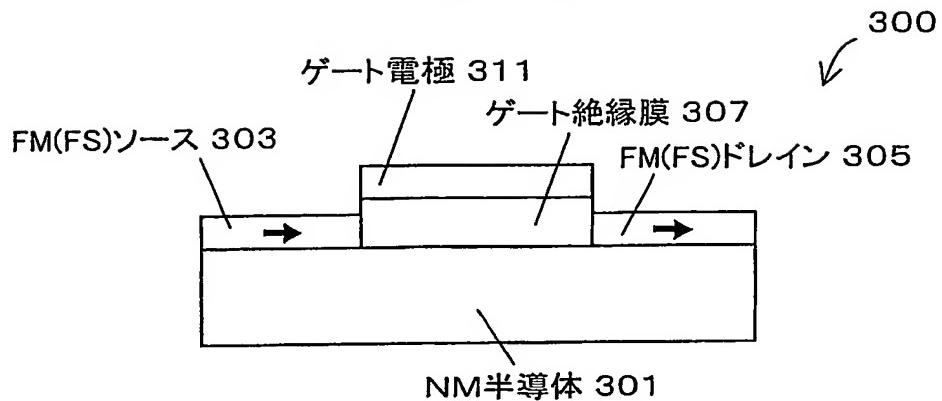
第9図



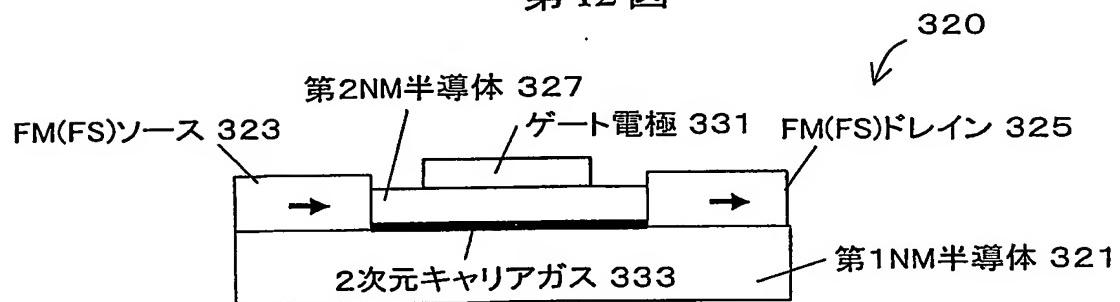
第10図



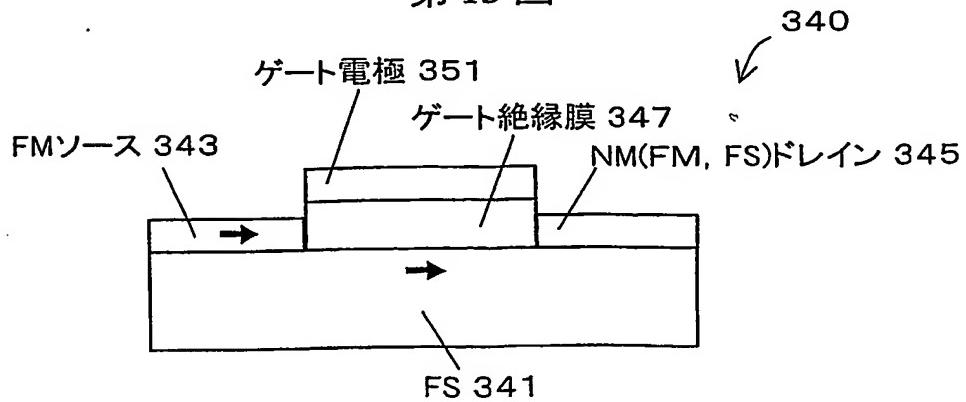
第11図



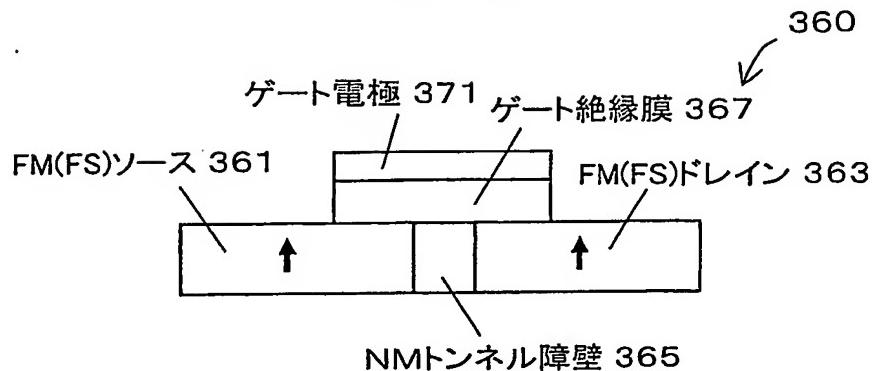
第12図



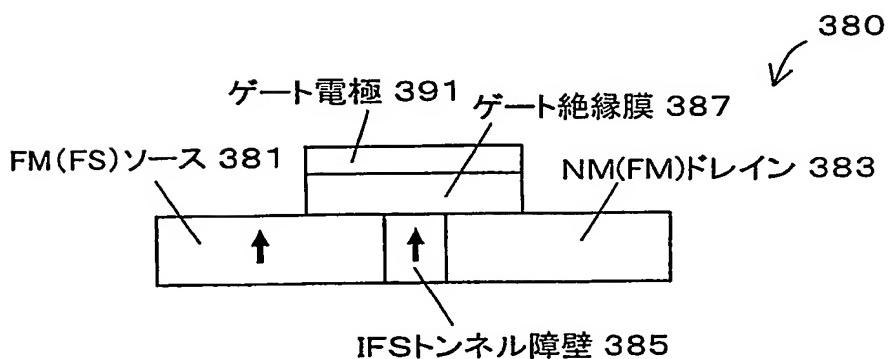
第13図



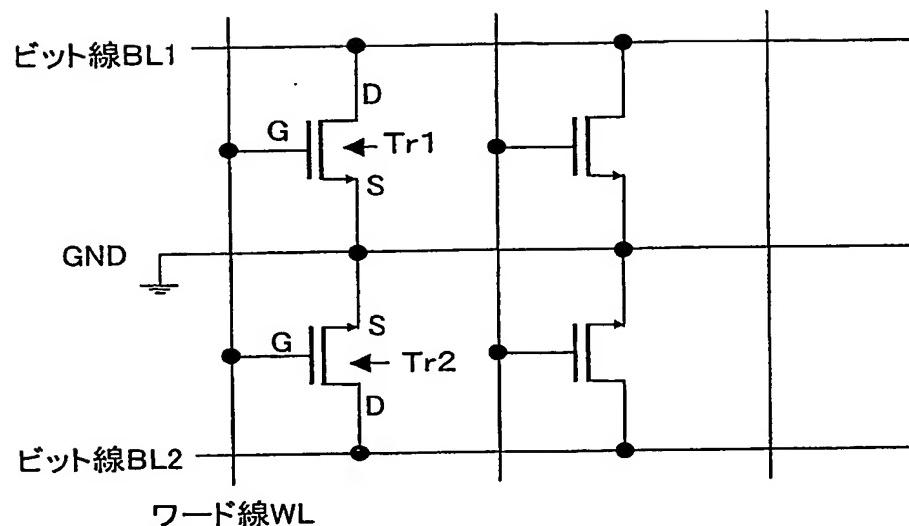
第 14 図



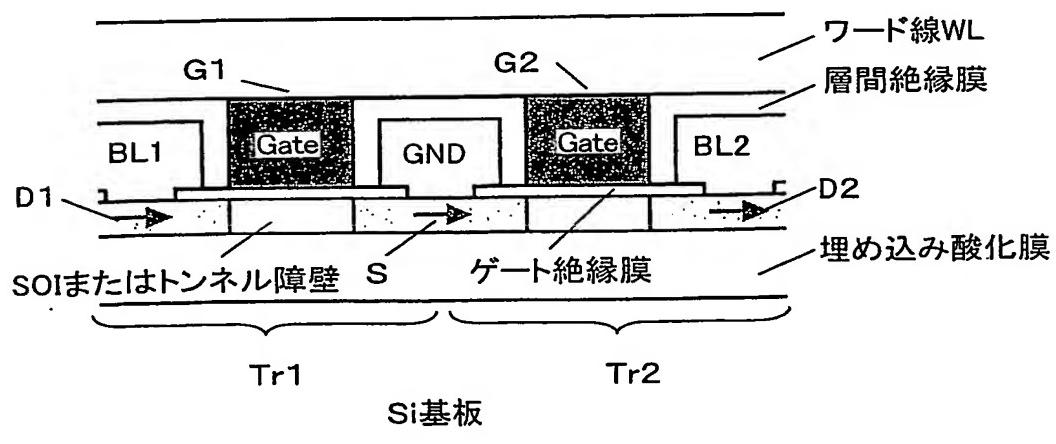
第 15 図



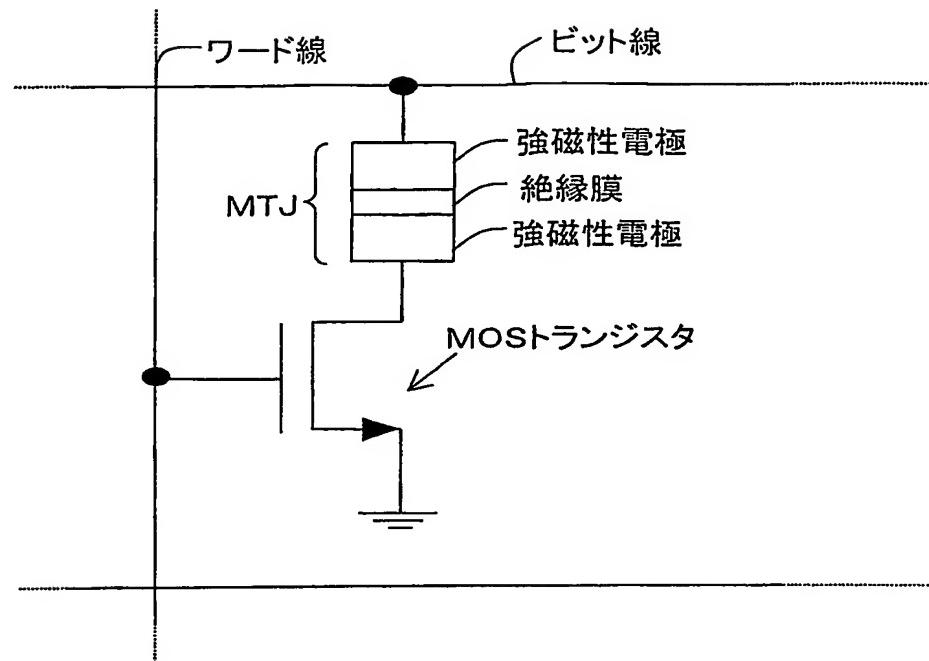
第 16 図 A



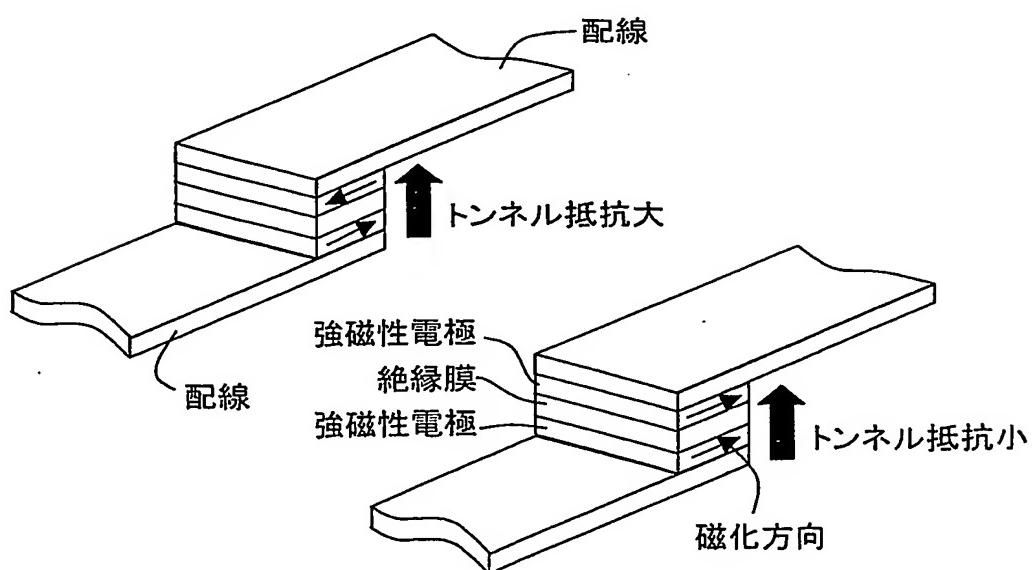
第 16 図 B



第 17 図 A



第 17 図 B



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/09438

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H01L29/82, H01L43/08, H01L27/105

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L29/82, H01L43/08, H01L27/105, G01R33/09, G11B5/39

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Toroku Jitsuyo Shinan Koho	1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)  
ISI Web of Science

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 01/69655 A2 (ISIS INNOVATION LTD.), 20 September, 2001 (20.09.01), Par. Nos. [0029] to [0035]; Fig. 1 & JP 2003-526939 A	1 11, 13-17, 19, 21, 22 2-10, 12, 18, 20, 23-35
X	US 5747859 A (KABUSHIKI KAISHA TOSHIBA), 05 May, 1998 (05.05.98), Full text & JP 09-128719 A & US 5973334 A	1 11, 13-16 2-10, 12, 17-35
Y	EP 1117136 A1 (JAPAN SCIENCE AND TECHNOLOGY CORP.), 18 July, 2001 (18.07.01), Full text & JP 2001-085763 A & US 6456523 B1 & WO 01/04970 A1	11, 13-17, 19, 21, 22

Further documents are listed in the continuation of Box C.  See patent family annex.

* Special categories of cited documents:	"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"B" earlier document but published on or after the international filing date	"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&"	document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means		
"P" document published prior to the international filing date but later than the priority date claimed		

Date of the actual completion of the international search 27 October, 2003 (27.10.03)	Date of mailing of the international search report 11 November, 2003 (11.11.03)
--	--

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
--	--------------------

Facsimile No.	Telephone No.
---------------	---------------

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/09438

## C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 11-238924 A (KABUSHIKI KAISHA TOSHIBA), 31 August, 1999 (31.08.99), Full text (Family: none)	14-17, 19, 21, 22
A	Masaaki TANAKA et al., "III-V-zoku Jisei Handotai Oyobi Jiseitai/Handotai Hetero Kozo no Epitaxial Seicho to Bussei", Handotai Spin Electronics, The Magnetics Society of Japan, 18 March, 1999 (18.03.99), pages 13 to 20	1-35
P,X	JP 2003-092412 A (Toshiba Corp.), 28 March, 2003 (28.03.03), Full text (Family: none)	13-16
P,A	JP 2003-152173 A (President of Tohoku University), 23 May, 2003 (23.05.03), Full text (Family: none)	1-35

A. 発明の属する分野の分類（国際特許分類（IPC））  
Int. Cl' H01L29/82, H01L43/08, H01L27/105

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））  
Int. Cl' H01L29/82, H01L43/08, H01L27/105, G01R33/09, G11B5/39

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2003年
日本国実用新案登録公報	1996-2003年
日本国登録実用新案公報	1994-2003年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）  
ISI Web of Science

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	WO 01/69655 A2 (ISIS INNOVATION LIMITED) 2001.09.20, 【0029】 -	1
Y	【0035】 , 図1	11, 13-17, 19,
	&JP 2003-526939 A	21, 22
A		2-10, 12, 18, 20, 23-35
X	US 5747859 A (KABUSHIKI KAISHA TOSHIBA) 1998.05.05, 全文	1
Y	&JP 09-128719 A&US 5973334 A	11, 13-16
A		2-10, 12, 17-35

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

国際調査を完了した日

27. 10. 03

国際調査報告の発送日

11.11.03

## 国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

栗野 正明



4M

9353

電話番号 03-3581-1101 内線 3462

C(続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	EP 1117136 A1 (JAPAN SCIENCE AND TECHNOLOGY CORPORATION) 2001.07.18, 全文 &JP 2001-085763 A&US 6456523 B1&WO 01/04970 A1	11, 13-17, 19, 21, 22
Y	JP 11-238924 A(株式会社東芝) 1999.08.31, 全文 (ファミリーなし)	14-17, 19, 21, 22
A	田中雅明外4名, III-V族磁性半導体および磁性体／半導体ヘテロ構造のエピタキシャル成長と物性, 半導体スピニエレクトロニクス, 日本応用磁気学会, 1999.03.18, pp. 13-20	1-35
PX	JP 2003-092412 A(株式会社東芝) 2003.03.28, 全文 (ファミリーなし)	13-16
PA	JP 2003-152173 A(東北大学長) 2003.05.23, 全文 (ファミリーなし)	1-35